

ETC-DC：一种高效三电平自同步双重校验编码方案

王天阳 邱真娜

沈阳职业技术学院 辽宁省沈阳市 110045

摘要：由于高速链路需要兼顾带宽效率、抗干扰以及更廉价的硬件成本等问题，在复杂环境中仍然存在现有二电平编码的技术瓶颈。针对此问题，提出了一种新型的三电平自同步编码方法 ETC-DC，通过对状态机驱动下的一种新的三电平符号映射方式和三电平的双重校验形式构建四符号六电平，并添加一符号位作为冗余校验的 7Trit 传输单元。采取强制符号间电平跃迁及符号内奇偶校验 (SPC) 与跨符号状态校验 (TSC) 两层检测的方式获得约 90.2% 的等效二进制效率。从资源估算来看，ETC-DC 查表大小仅为 16 条目 $\times$ 多子库、其规模较小、逻辑简单、对 FPGA 资源的占用仅为 8B/10B 的 1/10 左右，适用于如工业控制等具有高成本与可靠性需求的应用场景。

关键词：三电平编码；自同步；双重校验；AWGN 仿真；带宽效率

1 引言

当前，现代数字通信系统的“效率—鲁棒性—成本”三角约束存在不可逾越的矛盾，一方面，工业总线要保证即使在较强的电磁干扰环境也能无误地进行数据传输；另一方面，消费电子接口追求极低功耗以及极致的小型化设计；存储互联为了实现小体积大容量，也需要不断地提升带宽。传统的 NRZ 编码方式虽然能够提供较高的传输速率，但没有高频变化的电平，接收端就无法实现时钟恢复，而 Manchester 编码的同步性强但是带宽仅为单通道带宽的一半，4B/5B 及 8B/10B 编码方法通过映射来引入高低电平跳变同时辅以冗余位完成误码检测，但是硬件复杂度加大了，在这些低成本的要求下很难实现。因此为了突破目前信号的传输、编码等之间的矛盾冲突，提出了 multi-PAM 方案，将该编码应用到高速数据传输上，测试了几种应用类型的传能量能效果。基于此，本文提出了一种 E-grid 位定时同步编码 (ETC-DC) 方案，其目的是获得高效率、强鲁棒性和低成本。

2 相关工作

2.1 二电平编码

NRZ 编码，即非回零码，由高电平表示“1”、低电平表示“0”，可达到 100% 的效率，但由于没有强迫跳变，所以当连续比特相同时不会有跳变，也就不能提供跳变时钟的信息，无法实现自动时钟恢复。

Manchester 编码：通过每隔一位中间插入一次电平反转

的方式保证每个比特周期内都出现一次跳变，就支持了自同步，但是带宽占用率只有 50%。

4B/5B 编码：将 4bit 映射到一个 5bit 符号中，并且每个符号必须有 2 次以上跳变，利用带宽只有 80%，曾经用于早期的光纤网络。

8B/10B 编码：以 4B/5B 基础上增加至 8bit / 10bit 映射，用“0”和“1”数量来实现直流平衡和误码检测，被广泛应用在 PCIe、SATA 等高速接口中，但由于它的 256 条目查找表结构会占用 FPGA 上千个 LUT 资源^[1]。

2.2 多电平编码

PAM-3 (三级脉冲幅度调制)：已经用于以太网物理层中，以 +V、0、-V 三电平传输，使每符号携带 1.58bit 的信息，但判决门限严格、且没有系统的错误检测方式。

PAM-4 (4 级)：利用 4 个幅度来表征 2 bit 数据，在 25 Gbps/50 Gbps 高速链路使用时可以使带宽效率提高一倍；但由于数据传输速率高、相噪和滚降等因素的影响，需要通过复杂的 DFE 补偿通道损失，功耗达到瓦级别。

MLT-3 编码：用“0+0-0”的跳变模式降低高频分量，在 CAT5 双绞线上传输时会用到，但是因为它的周期性零电平状态会使得这种信号不能够实现自同步^[2]。

2.3 自同步与误码检测

CRC 即循环冗余校验是传统的帧级误码检测技术，然而 CRC 的计算延时较大，对于计算延时要求高的场合并不适用；自同步技术通常需要编码规则将跳变加到信号上，像

曼彻斯特“每位一跳”等规则都会对于其他多电平系统中的跳变规则进行修改；现有的三电平方案大多结合了 FEC（如 RS 码、LDPC 码）来进行差错控制，但是由于它们的高计算复杂度及额外的延时不能够达到一些对延时有要求的场景，如工业控制等^[3]。

此外还提出采用了一种符号级纠错（ETC-DC）的 SPC + TSC 双校验结构，利用 SPC 与 TSC 的互补性实现较小粒度的轻量级检测，检测效率仅与组合逻辑延迟相当，在高速传输中能够实现实时误码检测及简单重传的功能^[4]。

3 ETC-DC 编码方案设计

3.1 设计目标与总体架构

ETC-DC 的主要设计目标是在满足工业级宽温（-40℃ ~ +125℃）和高噪声环境下，以最低硬件复杂度实现“高效率、强鲁棒、低延迟”的编码方案。具体需求包括：

1. 效率指标：等效二进制效率 $\geq 90\%$ ，超越 8B/10B 的 80%；
2. 抗噪能力：在 $\pm V/2$ 噪声干扰下误码率 $\leq 10^{-10}$ ；
3. 硬件约束：FPGA 资源消耗 ≤ 500 个 LUT，ASIC 功耗 $\leq 20\text{mW}@10\text{Gbps}$ ；
4. 自同步性：无需外部时钟，符号内含足够时钟信息，同步建立时间 ≤ 100 符号周期；
5. 错误检测：发生单符号错误的检出率大于等于 99.9%、能符号级别同步定位到出错位置。

ETC-DC 编码器包括发送端和接收端两部分，其中发送端包括数据映射模块、状态机控制器、SPC 校验计算模块及 TSC 状态寄存器，接收端包括符号判决器、逆映射模块、双重校验验证逻辑与时钟恢复电路；并且三电平差分传输发送端驱动电路实现将 HIGH、MID、LOW 分别映射为 +V、0V、-V 差分电压，并且通过宽阈值比较器在接收端识别三电平状态。

3.2 三电平符号模型与状态机驱动

ETC-DC 使用 HIGH（+V）、MID（0V）、LOW（-V）三电平表示，每一个符号使用 6 个 Trit 组成，表示为 6Trit 符号单元。符号模型需要满足下面的要求：

符号间电平必跳变：现在的符号起始电平必须不同于前面符号的终止电平，这样就使得连续 2 个符号之间一定会有电平跳变出现，这样才能为时钟脉冲恢复提供同步信息。

符号内电平跳变：在 6Trit 符号里面，需要有一个高至

低或者低至高的电平跳变，不能连续位于中间值，保持脉冲的频谱分布均衡。

连续长度约束：连续相同的电平值不能大于 3，以保证不出现频谱集中现象。

状态机维护三个状态：① HIGH/MID/LOW. 发送端根据上一状态结束电平确定本符号开始电平，若上一结束为 HIGH，则本起始可为 LOW 或 MID；若上一结束为 LOW，则本起始可为 HIGH 或 MID；若上一结束为 MID，则本起始可为 HIGH 或 LOW. 在字级即可实现自同步，接收端在大约 100 个符号周期内可完成时钟恢复。

3.3 4bit → 6Trit 映射规则

ETC-DC 把 4bit 输入映射成 16 种 6Trit 符号，并以格雷码思想作为映射表，使得 2 个相邻的 4bit 数据的 6Trit 符号只相差一位，从而避免了误差传播的现象；同时严格按照如下三条原则制定映射规则：1) 最大复用性；2) 弱易损结构；3) 容差适配。

1. 跳变约束：每个 6Trit 符号内部至少应有一次 HIGH LOW 或 LOW HIGH 跨电平跳变。

2. 连续长度 ≤ 3 ：防止长周期 MID 或 HIGH/LOW 驻留，平衡频谱分布。

3. 状态转移兼容：符号起始电平和前符号结束电平自然满足跳变规则，不需要多路选择器做逻辑判断。

共有 16 条映射表，可设计成若干个不同的子库来满足不同信道特性（抗噪、直流平衡、低功耗等）的要求，在发送端根据信道质量监测的结果进行相应的库的切换：检测高噪则切换为抗噪子库；系统需要低功耗，就切换为低频跳变子库；而使用哪一子库都不会影响状态机规则中的符号间跳变的限制。

示例映射（含 1 个子库部分示例）：

4bit 数据	6Trit 符号 (H/M/L)	特性说明
0000	H M L H M L	严格交替跳变，抗干扰能力强
0001	H M H L M L	高频跳变成分均衡，频谱分布优化
0010	H M L L M H	中心对称结构，直流平衡
1111	H L M H L M	高频跳变成分丰富
1010	M H M L H L	避免连续 H/L 状态

3.4 双重校验机制（SPC 与 TSC）

3.4.1 符号内奇偶校验 SPC

符号内奇偶校验（SPC, Symbol Parity Check）基于三电平系统中的 HIGH 状态计数。在发送端，对每个 6Trit 符号

统计其中 HIGH 状态数量 N_H :

若 N_H 为奇数, 则 SPC 校验位设为 MID (不增加 HIGH 数量);

如果 N_H 是偶数时, SPC 校验位要设成低电平, 也就是不增加 HIGH 的数量。

在 7Trit 传输单元中, 让 HIGH 的数量保持为奇数就能使整个传输单元中承载着的高符号所占的比例也是奇数, 实现对于错误简单直观地符号级检测。硬实现只需要 6 个 1bit 比较器来辨别 Trit 是否为 HIGH、1 个 3bit 加法器来计算数目、1 个 2 选 1 多路选择器用于产生校验位; 在接收端统计接收到 7Trit 单元中 HIGH 的数量, 如果不对称, 则说有误。

3.4.2 跨符号状态校验 TSC

跨符号状态校验 (TSC, Transition State Check) 是针对符号间同步错误的一种校验手段, 发送端在传输完每个符号之后, 会将当前符号的结束电平写入 TSC 寄存器; 接收端在解析下个符号的起始电平时, 会将该点的电平值与 TSC 寄存器中储存的前一符号结束电平做比较。

若二者相同, 则判定出现状态转移错误 (如符号丢失、插入或同步错位), 触发错误标志;

除此之外, 要使 TSC 寄存器更新到当前符号的结束电平。

TSC 硬件只用到一个三位的状态寄存器和一个比较器, 延迟只有 1 个符号周期; 在帧头符号结束后, 在接收端可以给 TSC 寄存器赋初值, 用该符号结束时电平作为 TSC 的初始值即可达到初始同步。

3.4.3 双重校验流程

双重校验联合流程如下:

1. 发送端: 将 4bit 数据查表映射转换为 6Trit 符号通过 SPC 运算生成校验位组合成 7Trit 传输单元根据 TSC 寄存器的状态来调整起始电平, 并且更新 TSC 寄存器。

2. 接收端: 接收 7Trit 单元宽阈值判决三电平 SPC 校验解析, 并且将符号起始 / 结束电平 TSC 状态作比较、更新; 如果任一校验错误, 则输出错误标志。

3. 仿真发现: 当 SPC 覆盖度 $\geq 99.97\%$, 且 TSC 能够完全覆盖符号同步异常, 二者相辅相成可以实现符号级错误实时检出的功能。

4 仿真验证

本节通过 AWGN 信道仿真对 ETC-DC 性能进行评估,

并与 8B/10B、4B/5B、PAM-3 等编码方案进行对比。

4.1 仿真环境与参数

采用 MATLAB 仿真平台, 信道模型为 AWGN (加性白高斯噪声)。仿真设置如下:

调制幅度: HIGH=+1、MID=0、LOW=-1;

信号带宽: 10Gbps 等效比特率;

仿真符号数: 1×10^9 符号;

SNR 范围: 从 8dB 到 20dB;

比较方案: 8B/10B (等效二进制效率 80%)、4B/5B (80%)、PAM-3 (1.58bit / 符号)。

4.2 BER 性能曲线

结果显示:

当信噪比 SNR=10dB 时, 对比四类差分编码方式可知:

其中, ETC-DC 的比特误码率 $BER = 1.2 \times 10^{-9}$, 8B/10B 的比特误码率 $BER = 3.7 \times 10^{-8}$, PAM-3 的比特误码率 $BER = 8.5 \times 10^{-8}$, 曼彻斯特编码比特误码率 $BER = 1.5 \times 10^{-7}$, 4B/5B 的比特误码率 $BER = 5.2 \times 10^{-8}$ 。

当信噪比 SNR 等于 15dB 时, BER 分别接近于 ETC-DC 的 10^{-12} 、8B/10B 约为 10^{-10} 和 PAM-3 约为 10^{-9} 。

由此可见, ETC-DC 相比于等带宽、等信号功率的 SC-FDMA 调制方式, 具有更好的抗噪声性能, 主要原因是三电平宽阈值判决带来的抗噪容限达 $\pm V/2$; 以及采用双重校验提高符号级错误检测能力。

4.3 同步重建性能

接收机利用符号间强制跳变来恢复时钟信号, 并不需要使用到 PLL。仿真表明 ETC-DC 技术在 AWGN 信道下的同步建立时间为 100 个符号周期 (即 10 个符号周期 @10Gbps), 同步丢失情况下重新建立同步时间为 50 个符号周期, 优于 8B/10B 的 200 个符号周期建立时延。^[5]

4.4 资源与功耗估算

基于查表与组合逻辑结构, 对 FPGA 实现资源进行理论估算:

查表模块: 4 个子库 $\times$ 16 条目 $\times$ 6bit, 每个库占用约 128 LUT;

SPC 计算模块: 约 64 LUT、8 个寄存器、6 个比较器;

TSC 状态机: 约 32 LUT、16 个寄存器、2 个比较器;

整个电路大概需要 487LUTs, 256 registers, 16 comparators, 大约是等速率 8B/10B 编码模块的 12.3%。从功

耗上来看, 仿真估算 10Gbps 编码逻辑动态功耗小于 50mW (无 AFE), 相比于 PAM-4 和普通的方式具有很大优势。

5 性能分析与讨论

5.1 带宽利用率与效率

ETC-DC 取用 4bit 7Trit 映射方式, 因为 6Trit 载荷对应的是 3.17bit 的信息, 因此其时隙效率约为 $\frac{4}{7} \approx 57.1\%$, 而等效二进制效率则可达到 $57.1\% \times 1.585 \approx 90.5\%$, 比 8B/10B 的 80%、4B/5B 的 80%, 都要来得高一些。就以 10Gbps 的速度传输为例来看, 在实际使用下, ETC-DC 实际吞吐量可以达到 9.05Gbps, 但是 8B/10B 仅可以得到 8Gbps 的吞吐量, 在同样的情况下会多出约 13% 的带宽利用率^[6]。

5.2 抗干扰与噪声容忍

ETC-DC 宽判决阈值 (HIGH 范围 $+1/3 \sim +1$ 、LOW 范围 $-1 \sim -1/3$ 、MID 范围 $-1/3 \sim +1/3$) 使 ETC-DC 抗噪容限由 PAM-3 的 $\pm 1/4$ 上升为 $\pm 1/2$, 仿真结果如表 6 所示。当 AWGN 功率密度为 -100dBm/Hz 时, ETC-DC 的 BER 仍然低于 10^{-12} , 但是此时 NRZ 编码的 BER 已经超过 10^{-3} , 并且本文的 ETC-DC 还引入了双重校验机制来发现并纠正随机噪声造成的单 Trit 错误以及符号的插入 / 丢失等同步错误。

5.3 硬件成本与功耗比较

FPGA 实现 ETC-DC 编码逻辑需要约 487 个 LUT、256 个 DFF、16 个比较器; 而 8B/10B 编码模块需要约 3984 个 LUT (资源消耗提高了接近 8 倍)^[7]。ETC-DC 仿真估计下的动态功耗小于 50mW, 在用 ASIC 实现的情况下预计小于 20mW@10Gbps. 与 PAM-4 驱动均衡电路功耗上百毫瓦甚至达到数瓦不同的是, ETC-DC 具有极佳的低功耗优势。

6 结论与展望

提出的 ETC-DC 三电平自同步编码方案, 采用状态机驱动的符号映射方法以及双重校验手段, 具有在三电平变换器中平衡效率、鲁棒性和硬件复杂度的优点。仿真结果证明

了该编码方案的可行性。

1. 等效二进制效率: ETC-DC $\approx 90.5\%$, 大于传统 8B/10B 和 4B/5B.

2. 三电平宽判决门限比二电平编码有更大的抗噪能力, SNR=15dB 时 AWGN 信道 BER 可以达到 1×10^{-12} 以下。

3. SPC 与 TSC 双重校验实现符号级误码检测, 整体延迟仅为组合逻辑延迟, 适用于实时控制场景;

未来工作拟从以下方面展开:

轻量级纠错拓展: 在 SPC 基础上引入三进制汉明码等轻量级 FEC, 提高极端环境下纠错能力;

自适应编码模式: 根据信道质量动态切换三电平与二电平模式, 实现低功耗与高速率之间的智能切换。

参考文献:

- [1] 樊昌信. 通信原理教程 [M]. 电子工业出版社, 2012.
- [2] 唐凯. 基于 MPC5668G 多功能车载网关的设计与实现 [D]. 浙江大学 [2025-06-13].
- [3] Lin S, Jr D J C. Error Control Coding: Fundamentals and Applications [M]. Pearson-Prentice Hall, 1983.
- [4] Li Y, Yuan J, Stefanov A, et al. Advances in Error Control Coding Techniques [J]. Eurasip Journal on Wireless Communications and Networking, 2008, 2008(AEC). DOI:10.1155/2008/574783.
- [5] 刘敏, 魏玲. MATLAB 通信仿真与应用 [M]. 国防工业出版社, 2001.
- [6] 路而红. 专用集成电路设计与电子设计自动化 [M]. 清华大学出版社, 2004.
- [7] Sgroi M, Sheets M A, Mihal A C, et al. Addressing the system-on-a-chip interconnect woes through communication-based design [C]//Proceedings of the 38th Design Automation Conference, DAC 2001, Las Vegas, NV, USA, June 18-22, 2001. DBLP, 2001. DOI:10.1109/DAC.2001.156222.