

集成电路装片工艺的研究

朱晋轩

(南京田家炳高级中学, 江苏 南京 210000)

摘要: 集成电路装片工艺属于一个极具挑战和吸引的领域。它属于集成电路芯片产生后至关重要的一个阶段, 是从设备到系统的通信桥。包装对微电子产品的质量和竞争力产生巨大影响。根据现在国际通行的看法来说, 微电子器件总成本的三分之一为设计成本, 约三分之一用于芯片的生产, 封装和测试成本约占三分之一。世界包装研究进程如此快速, 从电子产品产生以来, 所遇到的挑战和机会几乎未得到过满足; 同时包装面临的问题很多, 在许多其他领域都很不常见。本文立足于当今集成电路的装片工艺展开描述, 浅探目前最先进的相关技术和挑战。

关键词: 装片工艺; 集成电路; 封装材料; 工艺流程

集成电路装片工艺最初旨在保护电路芯片免受环境(物理和化学)干扰。在最初的集成电路装片工艺中, 人们使用金属罐壳来隔绝、密封的方式来保护不稳固的电子元件。随着集成电路技术的不断发展, 装片工艺(封装)被赋予了新的内涵。通常认为封装具有四个主要功能: 动力分配、信号分配、散热和保护封装。

一、封装材料的介绍

封装材料大致可分为三种: 金属进行封装、陶瓷材料封装和塑料封装。

(一) 金属封装

金属封装是三者中最原始的包装形式。受其较高的导热性和强度以及良好的可加工性, 金属封装在封装材料被广泛使用。常规情况下, 裸片被放置在金属容器中基座的中央并用镍覆盖并镀金。金属圆形外壳一般由合金材料制成的金属底座制成, 在充满氮气的密封空间内将合金引线熔化在金属基底上。切割并抛光铅尖后, 使用镍和金和其他惰性金属作保护。金属包装的优点是它具有良好的气密性, 不易受外部环境因素的影响。缺点是价格高, 看起来不灵活, 不能满足当前半导体器件快速发展的需求。因此, 金属包装的市场份额占据较小。即使是在对可靠性有极高要求的军事航空航天技术中, 金属封装的芯片也不多见。

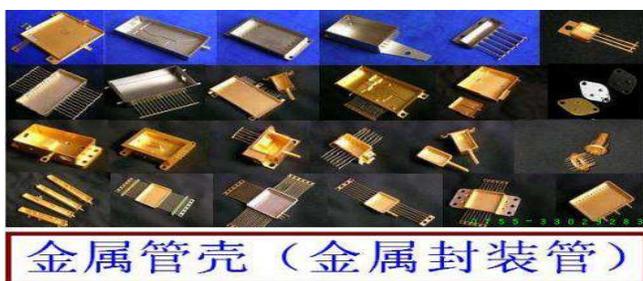


图1 金属封装

需要强调的是, 在一些特定需求条件下, 金属封装中使用的金属材质可能需要定制以满足特殊的性能需求, 如下图所示。

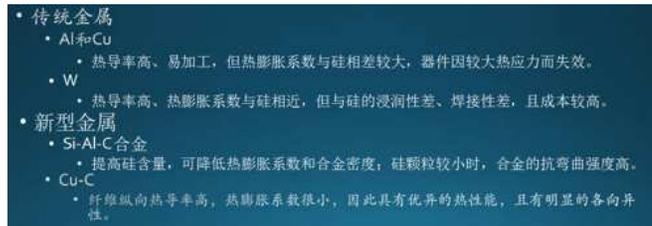


图2 部分金属材料特性

(二) 陶瓷封装

陶瓷封装紧随金属封装发展之后逐渐发展起来, 并取代了金属的一种封装形式。常见的可用于封装的陶瓷材料主要包括: Al_2O_3 , SiC 和 AlN 。在三者之中, 氧化铝是目前使用的最广泛并且熟练的陶瓷封装材料。陶瓷封装与金属封装在一些部分中有些类似, 他们都需要保持密封, 但陶瓷封装的价格略低于金属封装。

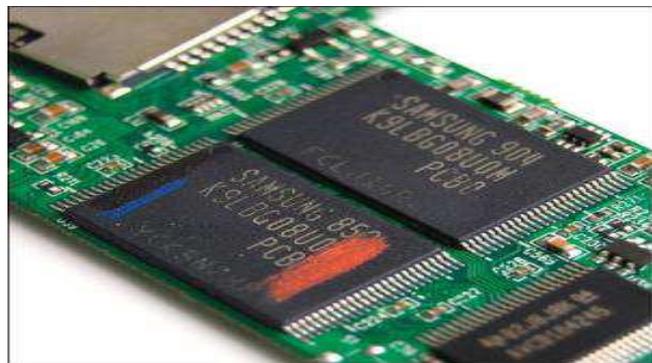


图3 金属封装

另外, 经过长时间以来的不断发展进步, 陶瓷封装的性能得到了优化, 特别是随着陶瓷铸造技术的发展, 陶瓷包装在外观和功能灵活性方面得到了很大的发展。近年来, IBM 陶瓷基板技术已经能够同时实现 100 条多层布线, 并且无源组件(例如电阻器, 电容器和电感器)可以集成在陶瓷基板上以实现高密度封装。因此, 陶瓷因其出色的性能封装而广泛用于航空航天领域和军工, 目前仍有多数使用陶瓷封装。除了具有优越气密性的优点外, 陶瓷封装还可以实现多信号, 接地和电源层的结构, 并且可以用于封装一些结构功能较为复杂的电子器件。它具有很好的散热性能。需要强调的是, 陶瓷封装的价格较为高昂, 通常适合用于某些高端产品。

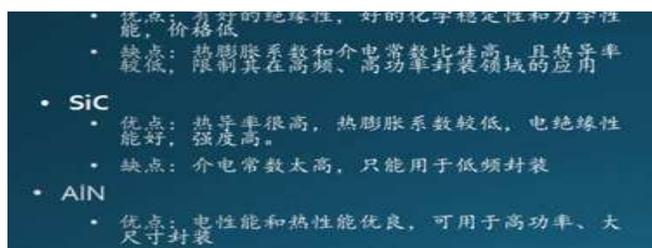


图4 部分陶瓷材料特性

（三）塑料封装

塑料封装基本占据了 90% 以上的市场份额。目前使用最为广泛的便是环氧膜塑料 EMC 了，并且市场中微电子器件有百分之九十五以上都是塑料器件。

近年以来，塑料封装所使用的材料和工艺得到了进一步改良，这一比重仍然在增加。塑料封装最显著的优点是价格实惠，它的性价比非常可观。并且，近年来随着塑封技术和芯片钝化层技术的不断提升，塑封技术得到了非常显著的进步，这使得芯片的钝化层的质量得到了革命性的提升。另外虽然塑料封装不同于金属和陶瓷是非密闭的，但是他对由于器件发生故障所导致的湿气侵入的抵抗能力已经得到了提升。

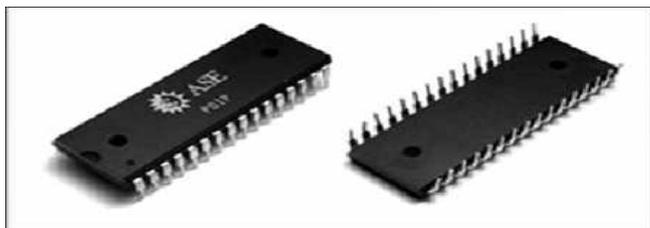


图 5 塑料封装

二、几种封装技术

（一）TSOP 封装技术

TSOP (Thin Small Outline Package) 封装技术的意思是薄型小尺寸封装。该技术诞生于 20 世纪 80 年代，时至今日仍旧是内存封装的主流技术。这得益于该技术与集成电路产业发展的需求趋势是一致的：高容量、高密度、多功能和低成本。与传统的封装技术相比，它简单地通过调换封装类型，冲破了实现大容量、高密度、多功能、低成本的限制。

在 TSOP 的封装信息技术企业发展经济方面，主要有 TSOP2+0、TSOP2+1、TSOP3+0、TSOP4+0、TSOP5+0、TSOP4+3 等，其技术研究已经具有非常完善成熟、成品率高。由于芯片面积越来越大，为了解决焊接空间，而新技术的 TSOP SIP 技术是将 SIP (System In a Package 是将多种功能芯片，包括处理器、存储器等功能芯片集成在一个封装内，从而实现一个基本完整的功能) 与 TSOP 封装相结合的一种技术。TSOP SIP 将成为未来可预期的一个研究方向。



图 6 TSOP 封装技术

（二）BGA 封装技术

BGA (Ball Grid Array) 球状引脚栅格阵列封装技术，是一款高密度表面装配封装技术。在该类封装底部，引脚都成球状并排列成一个类似于格子的图案，由此命名为 BGA。使用这样的材料，

主要是陶瓷的多芯片封装技术的电流控制电路板组。采用 BGA 技术进行封装的内存，可以使内存存在一定体积保持不变的情况下，内存系统容量可以提高两到三倍，BGA 与 TSOP 相比，具有更小体积、更好的散热以及性能和电性能。

根据输入输出引脚所在位置的不同，BGA 封装又分为存储器 BGA 封装和 Tiny BGA 封装内存。

存储器 BGA 封装：BGA 封装输入输出端口 (I/O) 在分布在封装下面阵列的圆形或圆柱形形式端子垫处。虽然 I/O 引脚数的有所增加，但采用该技术后，无端口间距损失。装配产率获得了提升。与此同时，虽然采用该封装工艺的功耗有一定程度的增加，但 BGA 可控制塌陷芯片焊接方法，它可以改善其电性能。采用该技术，寄生参数减小，信号传播延迟小，使用的频率被大大提高。

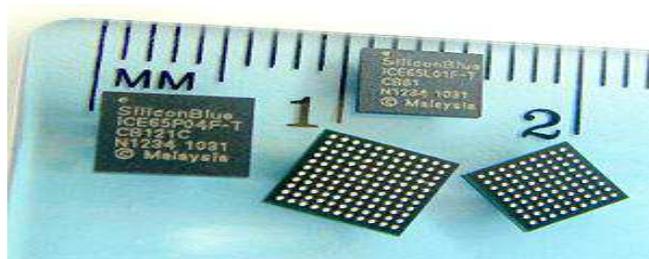


图 7 存储器 BGA 封装

Tiny BGA 封装：采用 Tiny BGA 封装信息技术的内存进行产品在相同环境容量一般情况下体积之间只有 TSOP 封装的 1/3。Tiny TSOP 封装是从模具的侧面拉出，有效地缩短了引线距离。需要强调的是，采用该技术信号传输线长度仅为传统 TSOP 技术的四分之一，降低了信号衰减。这不仅显著改善了抗干扰芯片和抗噪声性能，而且还改善了电气性能。



图 8 Tiny BGA 封装内存

BGA 封装流行的主要部分原因是由于封装密度、电性能和成本上的独特优点让其取代中国传统进行封装技术方式。随着时间的推移，BGA 封装越来越多的改进，成本将进一步提高，BGA 封装的灵活性和出色的性能，未来的发展前景。

（三）CSP 封装技术

CSP (Chip Scale Package) 封装，是芯片级封装的意思。CSP 封装是最新一代的内存芯片封装技术，其技术性能又得到了进一步提升。在 CSP 封装中，封装尺寸和芯片面积比可以超过 1 : 1.14，非常接近理想值 1。与之前的封装技术相比，CSP 封装存储器更小，也更薄。金属基板，其与散热器热只有 0.2 毫米。CSP 封装的绝对尺寸也仅有 32 平方毫米，约为普通的 BGA 的 1/3，仅仅相当于 TSOP 内存芯片面积的 1/6。与 BGA 封装相比，同等空间下 CSP

封装可以将存储容量提高三倍。

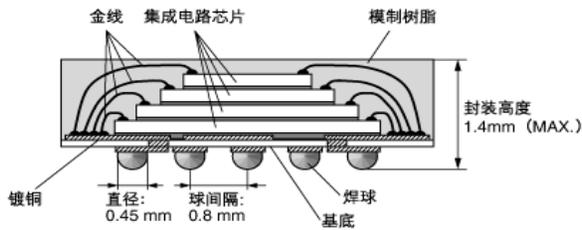


图9 CSP封装技术

CSP封装数据存储管理芯片的中心引脚结构形式可以有效地缩短信号的传输距离，并相应地减小信号的衰减。该芯片的抗干扰和抗噪声性能也得到很大的提高，与BGA相比，CSP的接入时间提高了15%~20%。在CSP封装模式，存储器颗粒是在PCB上的焊球。由于大面积的印刷电路板的接触垫，在存储器芯片的操作所产生的热易于传导并释放到PCB。CSP封装可以从背面，热效率高耗散。CSP的耐热性35℃/W的、40℃/W TSOP的热阻特性；特点：

1. 体积小

在各种信息封装中，CSP是面积达到最小，厚度进行最小，因而是体积变化最小的封装。下的情况相同的输入/输出端子数，其小于所述QFP0.5mm间距的十分之一面积，是三分之一到一个BGA（或PGA）上进行。因此，拼装时占用PCB的小面积，可以增加PCB的组装密度，厚度薄，可用于组装薄电子产品；

2.I/O端口的数量多

在相同大小的各种数据包中，CSP的输入/输出的数量可以做得更好，并且可以做得更多。例如，对于40mm×40mm的封装，QFP输入/输出端子的数量最多为304，BGA600~700可以做到这一点，并且很容易达到CSP1000。尽管中国目前的CSP也可以主要用于输入/输出端子较少的电路封装。

3. 良好的电气性能

与芯片和封装外壳的内部布线相比，寄生参数小，QFP CSP或BGA互连之间的长度短，信号传播延迟时间短得多，有利于改善高频电路性能。

4. 良好的热性能

CSP非常薄，芯片产生的热量可以短距离传到外部。该芯片可通过空气对流散热器或安装的方式来有效辐射。

5. 体积小重量轻

CSP封装的重量是相同以及引线数的QFP的五分之一进行以下，这和BGA比起来，要少许多。这是航空、航天，还有对产品质量的严格要求应该是非常有益。

6.CSP电路

跟其他数据封装的电路设计一样，是可以通过进行分析测试、老化筛选的，因此，我们可以消除早期教育直接关闭电路故障，提高电路系统的可靠性；此外，CSP可以气密地封装，从而保持

一个保护电路气密封装的优点。其包的输入/输出端子（焊锡球，凸块，或金属条带）或在封装体的底表面，适于表面安装。

三、封装质量的保证

在包装设计和制造过程中，包装质量必须是首要的考虑因素。低质量的封装会损害集成电路器件性能的其他优点，如速度、价格、体积等。包装质量差是由于价格的考虑比包装质量高造成的更多。实际上，塑料包装的质量与设备的性能和可靠性有很大关系，但包装的性能更多地取决于包装设计和材料的选择，而不是包装生产，其可靠性与包装生产密切相关。

完成封装模块的标识工艺后，对所有元器件进行100%的测试，完成模块在PCB上的组装后，对整块板进行功能测试。这些测试包括产品的一般外观检查、老化测试和最终测试。老化试验是对封装电路的可靠性试验。它的主要目的是检测装置的早期故障，称为婴儿死亡率。在此期间出现故障的器件通常是硅制造过程中的缺陷（也就是说，它们是劣质芯片，但在芯片测试中没有发现）。在老化试验中，将电路插入电路板，偏置，并置于高温炉中。不同设备的老化试验温度、电压负荷和时间不同，不同的供应商可能对使用不同的条件相同的设备。条件是更一般地在125℃至150℃，6.2的电源电压施加至7.0VA的温度（典型地20~40%，比该装置的工作电压更高），24至48小时的通电试验。

为了了解生活和IC器件的可靠性，除了老化测试，进一步测试经常用来加速设备的故障在短时间内，分析失效机理和尽快找到失败的原因，或以提高设计的工艺条件，提高设备的寿命和可靠性。加速试验是可靠性试验中的一个。一个或多个加速因素，如水分、温度、溶剂、润滑剂、污染、一般环境应力和残余应力，这些都可能导致器件失效，通常是选择的，模拟器件在实际使用过程中可能会遇到环境的使用。

对于大多数集成电路产品，最短的工作时间是几年，模拟设备在实际使用中可能会遇到环境使用问题。对于大多数集成电路产品，最短的工作时间是几年，但制造时间很短，因此在正常工作条件下进行质量检验是不切实际和不经济的。对于使用寿命长、可靠性高的产品，在60%置信水平和失效率为0.1%/1000小时（即103配合失效单元）的条件下，无故障时间可达915000小时，即样品装置数量为915，故障时间为1000小时；样品装置数量为92，故障时间为10000小时。这种试验既不经济也不费时，必须在加速使用条件下进行试验。由于失效是时间依赖性的，因此可以使用多种统计方法来分析故障率，包括根据辅助可靠性要求设计的置信度和样本数。

加速测试包括以下步骤：选择加速力；确定加速力的强度；设计测定单个加速度或多个加速度的试验程序；将试验数据外推到实际工况。在选择加速器时要特别小心，因为加速测试的目的是预先暴露真正的缺陷，而不是诱发新的缺陷或允许现有的缺陷逃脱。加速度的选择应当密切相关的装置的可靠性，

或者它可以被误导到改进设计,材料选择,工艺参数等。不同的设备有不同的操作条件和可靠性的要求,有必要设计不同的加速测试中,测试数据真实反映了设备的正常生活,提供用于提高设计或测试过程的可靠基础。在加速试验过程中,通常在不同时间对试样的电性能进行测试,对通过的试样继续进行测试,并对失效试样进行分析。异常试验条件有三种:开路、短路和电气参数漂移。

四、封装作用

(一) 固定引脚系统

为了使芯片工作,它必须与外部设备交换数据,这就是为什么要进行封装。当然,芯片中的引脚不可能直接连接到诸如电路板之类的东西是因为导线非常细,通常小于1.5微米,在大多数情况下仅为1.0微米。封装后,芯片可通过外引脚与电路板间接连接进行数据交换。

(二) 物理性保护

芯片封装后,不会受到颗粒物的污染。并且将芯片包装有合适的垫圈外壳,芯片连接及相关引脚,达到保护的。不同的应用程序,要求是不一样的芯片封装的水平,当然,对于消费类产品的最低要求。

(三) 环境性保护

封装的另一个功能是保护芯片不受外界环境的影响。它可以保护芯片免受水分和其他气体的干扰,这些气体可能会干扰芯片的正常功能。

(四) 增强散热

所有的半导体技术产品在工作时都会产生热量,当热量可以达到企业一定的极限时,就会影响芯片的正常进行工作。包装本身的各种材料可以带走一些热量。当然,对于大多数发热芯片,除了外部由封装材料冷却,还需要考虑附加芯片安装在金属散热片或风扇,以达到更好的散热。

五、工艺流程

IC封装步骤因产品的不同而不同,但就其大体而言,基本类似。下面本文将针对工艺流程做浅显的介绍:

(一) Laminater (贴膜)

用辊轴采取适当力度在大圆片的正面(线路面)贴上一层保护膜(通常为蓝色的保护膜)以防止大圆片在下一道流程打磨时受到污染或磨损电路。

(二) Backlap/Grinding (背面打磨)

对大圆片进行打磨,把大圆片的厚度磨至需求厚度。通常达到大圆片厚度为230 μm 、320 μm 、80 μm 。需要注意的是,一般电路本身为10 μm 的程度。

(三) Tape remove (去膜)

给保护膜照射适当的紫外光以消除粘性,再将保护膜去除。

(四) Tape mount (贴膜)

为了防止在切割时大圆片发生分裂影响后续工艺,需要用胶

膜和钢圈把大圆片固定起来。

(五) Sawing/Dicing (切割)

沿大圆片上的切割线,用金刚石切刀切至大圆片厚度的95%,使其分裂成独立的小芯片。

(六) Inspection (检测)

用高倍显微镜检查出不良的小芯片,目的是减少后续工序的次品。

(七) Die attach (芯片粘贴)

利用粘合剂把芯片和引线框架粘贴在一起,以保证两者之间电气、机械的可靠连接。

(八) Oven cure (烘焙)

采用高频加热方式,将引线框架放置加热炉中进行分段加热。

(九) Wire bonding (WB, 金线键合)

用高纯度的金线或铝线把小芯片上的焊盘和引线框架上的引脚连接起来,使芯片可以同外部电路导通。

(十) Inspection (检测)

用低倍显微镜检查出键合不良产品。

(十一) Molding (压模)

为了防止周遭环境(热辐射、机械冲击、化学腐蚀等)对小芯片的影响,用热固性树脂将键合后的产品封装起来。

(十二) Mold cure (烘焙)

加热以加速热固性树脂的固化速度。

(十三) Plating (电镀)

为了保护引脚不受环境影响,在其表面镀上一层保护膜。

六、结语

随着封装工艺的不断发展,装片工艺也逐渐地开始变得高级与复杂起来。人们对实现后的封装体更薄、更小,功能还需要变得更更强,以及如何集成多个芯片等需求的提出,集成电路装片工艺也得到了长足的发展。

参考文献:

- [1] 李名尧,曹阳根,李喙瑜.塑封模CAD系统中的温度补偿[J].模具技术,2002,1:5-7.
- [2] 曹阳根,傅意蓉,王元彪等.IC封装模流道平衡CAE应用[J].模具工业,2004(5):34-37.
- [3] 林永成.探究半导体测试系统的性能[J].机电工程技术,2018(12):14-15.
- [4] 王龙兴.全球集成电路设计和制造业的发展状况[J].集成电路应用,2019(3):06-07.
- [5] 张聪.基于LVDS的数据收发系统研究与实现[D].西安电子科技大学,2017.
- [6] (美)拉贝艾(Rabaey).数字集成电路[M].北京:电子工业出版社,2010.
- [7] 李伟伟.基于高速LVDS的串并转换电路设计与研究[D].电子科技大学,2010.