

一种异常断电的末位数据保存方案

陈强 孙小平

中国电子科技集团公司第五十二研究所 浙江杭州 310013

摘要: 随着数据记录技术的发展,人们对异常断电时的末位数据保存提出了更高的要求,尤其在安防行业,末位数据直接反应了异常发生时设备的工作状态。本文提出了一种异常断电的末位数据保存方案,该方案主要针对异常断电所引起的末位数据丢失,对其他情况下的数据丢失也有一定的指导意义。

关键词: 异常断电; 易失性存储; 非易失性存储

The utility model relates to a terminal data storage scheme for abnormal power outage

Qiang Chen Xiaoping Sun

The 52th Research Institute of CETC , Hangzhou, Zhejiang. 310013

Abstract: With the development of data recording technology, people put forward higher requirements for the storage of terminal data in an abnormal power failure. Especially in the security industry, the last data directly reflects the working state of the equipment when the anomaly occurs. This paper presents a scheme for saving the last data of abnormal power outages. This scheme is mainly aimed at the unit data loss caused by abnormal power failure and has a certain guiding significance for the data loss in other cases.

Keywords: abnormal power failure; volatile storage; non-volatile storage

引言

在正常的场合,系统可以按部就班的顺序关机,但是当异常发生时,客观条件导致不存在正常的关机,异常断电等同于系统的关机^[1]。对于通常的设计方案,记录的末位数据存放在内存中,而内存是易失性的,在断电瞬间内存中的数据必定会丢失。而异常断电时如何保证数据不丢,提升数据记录的有效性则成为了一个产品质量的重要突破口。

为了解决异常断电时的末位数据丢失问题,常规的做法是将数据实时的写入设备的非易失性存储体中。由于 NANDFLASH 具有价格低廉,容量大等特点,市面上绝大多数的非易失性存储体均采用 NANDFLASH 进行设计^[2],而 NANDFLASH 的数据写入方式为“页(Page)”写入,一页一般为 1024/2048/4096 个字节(Byte),其写入的过程需要先缓存足够的数据,无法满足实时写入的要求。而其他可按照“位(bit)写入”的方式,符合实时写入要求的非易失性存储体(如:FRAM等)则普遍存在容量小且价格昂贵的特点。如果能够融合两种非易失性存储体各自的优缺点,攻克异常断电时末位数据丢失的修复问题,让数据在下次上电后可得到还原,则同样可将问题解决,本文从这一角度提出了一种解决策略。

此外,也有人提出,可以采用靠电池或者超级电容

去储能,使得在出现异常断电时系统能利用储能去实现正常关机,将数据写入非易失存储体,从而防止数据丢失。而在实际使用过程中因电池本身的技术问题,造成制造成本高、环境适应性不强、品质不可控等(漏液,鼓包等)情况出现,尤其是在航空航天领域中,也会明确指出不能使用电池。因此,利用电池储能仅能在特定条件下解决问题,本文所论述的方案以不存在储能器件为前提,具有更广泛的适用性。

一、硬件方案设计及优化

1. 传统的硬件设计框架

传统的硬件设计框架以 NANDFLASH 作为数据的存储区^[3],掉电的瞬间如果 NANDFLASH 刚好在进行数据的写入操作时,就会造成 NANDFLASH 的数据区校验出现错误,而形成坏块(bad block)。这种坏块虽然可以通过软件进行识别与剔除,但坏块中本身所包含的其他有效数据也会一并被丢弃,这种行为在严重的时候甚至会导致操作系统的崩溃。

为保证产品的可靠性,可以采用两个基于 NANDFLASH 的存储体来进行硬件架构的设计(如图1所示),其中一个存放操作系统并设置为只读状态,确保操作系统自身的数据稳定可靠,而另一个用于数据存储。该架构的优点是,异常断电导致的数据损坏只会发生在用于数据存储的那一个 NANDFLASH 中。该框架可

保证操作系统自身不会损坏，而对于数据存储空间，即便发生数据损坏的情况，也可通过软件进行坏块剔除。

由此可知，该设计框架虽有一定优化，但并未脱离传统的设计框架范畴，在一定程度上能加强操作系统的可靠性，可有效防止异常断电引起的操作系统崩溃，但对于异常断电时的末位数据丢失并没有作用。

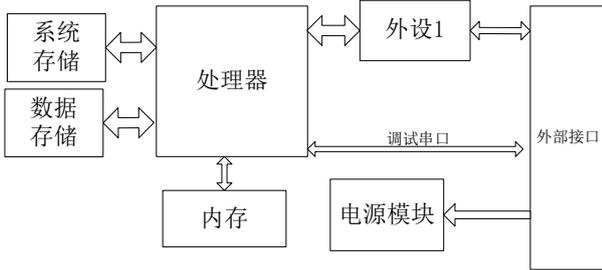


图1 传统的硬件设计框架

2. 硬件设计框架优化

以传统的硬件设计框架来分析，由于最后一帧数据定然保存在内存中，而一般的内存都是易失性的，因此在断电瞬间内存中的数据必定会丢失。为改善这种情况，可以从硬件层面与软件层面同时着手。硬件层面本方案对整体框架进一步优化至如图2所示，在框架中同时选用 FRAM（图中的非易失性缓存）和 NANDFLASH（图中的系统存储和数据存储）两种非易失性缓存，利用其各自的特点，将数据同时存入两种非易失性缓存中，其中 FRAM 的数据容量较少，仅保存几秒钟的数据，会不断被循环覆盖，而 NANDFLASH 中的数据容量较大，短期内不会被循环覆盖，能保存大量的数据。软件层面需在上电时完成对数据的还原，将 FRAM 中最新的数据拼接至 NANDFLASH 的数据末端，软件设计的详细内容在下一章节论述。

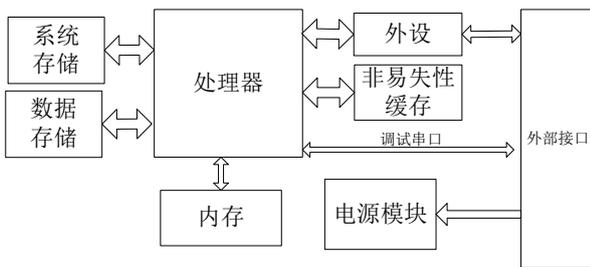


图2 优化后的硬件设计框架

当设备从外设接口收到数据后，优先将数据实时按位写入非易失性缓存（此处为 FRAM）中，同时将数据缓存后按页写入数据存储区（此处为 NANDFLASH）。正常情况下，设备能够及时将数据写入数据存储区，而系统异常断电时，内存中的数据被丢弃，数据存储区中保存着主要的的数据，但会缺少最后几秒钟的数据，而非易失性缓存里面则保存着最后几秒钟的数据。当系统重新上电时，软件可以从非易失性缓存中读取记录的数据，利用数据中的序号信息，和数据存储区中最新的数据序号进行比较，获取数据存储区中数据的丢失情况，再将

丢失的数据从非易失性缓存同步到数据存储区中，从而实现数据的异常断电保存。

二、软件方案设计及优化

1. 软件总体设计思路

数据写入非易失性缓存和数据存储区的方案有两种，如图3所示。方案一是将非易失性缓存作为数据缓存队列，最新接收的数据存入非易失性缓存后，再由操作系统从非易失性缓存中读取之前的数据转存到数据存储区。该方案属于通用设计，按照先进先出的原则，总体思路较为清晰，软件编写逻辑较为简单，但一次数据记录需要三次总线访问，总体访问效率较低；方案二是将非易失性缓存作为最新的数据备份空间，接收的数据写入非易失性缓存的同时，同步写入至数据存储区中。该方案可以减少一次总线访问，但软件上需同时追溯非易失性缓存和数据存储区的数据写入位置，对软件编写的要求较高。综合考虑，方案二在完成后的显然更具优势。

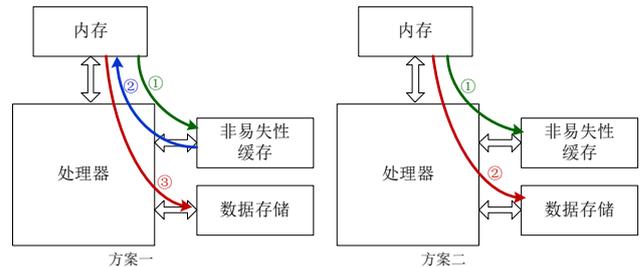


图3 数据从非易失性缓存到数据存储区的传输方式

软件工作的机理如下：首先，将数据按数据包为单位进行分段排序，每个数据包编写一个节点序号。设备从网口接收到数据后，优先将数据按位写入非易失性缓存中，同时将数据通过操作系统缓存后写入数据存储区，由于数据存储区的页写入特性，其数据节点序号会稍晚于非易失性缓存中的数据节点。当系统异常下电后重新上电时，利用非易失性缓存中的末位节点序号信息，和数据存储区中数据的末位节点信息进行比较，获取数据存储区中的数据丢失情况，再将丢失的数据从非易失性缓存中同步移动到数据存储区中。

2. 总线阻塞方案优化

设备在运行了一段时间之后，数据存储区将逐渐存满数据，此时如果要继续储存数据就要将“最早”的数据删除。由于 NandFlash 的数据擦除以“块（block）”为单位，其擦除时间约为 10ms，而单页数据的写入时间约为 2ms。此时，写文件系统的任务将会发生阻塞，并等待擦除操作的完成，再加上系统的任务切换，单次数据写入可能占用系统时间超过 20ms，将影响设备接收数据并写入到非易失性缓存的过程，从而引起两个或多个数据包的丢失。

为解决上述情况，可以利用 NandFlash 擦除命令后，对总线的非占用的特性，并对文件系统进行非阻塞操作优化。即，将文件系统将数据写入 NandFlash 时，如检测到需要对 NandFlash 进行擦除，则发出擦除命令并返

回擦除等待状态给操作系统。此时，允许系统将接收的数据写入到非易失性缓存的同时缓存在内存中，并启动定时（如 20ms）检测 NandFlash 擦除操作的完成。当检测到 NandFlash 擦除完成时，再将擦除时刻缓存在内存中的数据写入数据存储区；当检测 NandFlash 擦除操作未完成时，可以通过回退检测的方式，再允许一次的定时监听；最终检测到擦除失败时，则需要将该“块”标识为“坏块（bad block）”，然后将缓存的数据写入到新的位置。

三、产品实现情况

在使用该框架时应注意一点，外设对于数据的速度必须低于非易失性缓存的写入速度，否则会导致数据的传输溢出。在本方案的实际应用中，外设为百兆网，数据传输速度控制在 2MB/S 以内，非易失性缓存选择 FRAM，数据写入速度实测 2.4MB/S ~ 2.6MB/S，满足使用要求。

该设计已经在某机载项目中完成实物研制并交付使用，取得良好效果，经实际验证，产品可有效保证异常断电时数据不丢失。

四、结束语

本方案在传统硬件设计框架的基础上，仅增加了非易失性缓存的硬件设计和软件优化，具有很好的适应性，在各种场景下均有较好的可实现性。

参考文献：

[1] 李点 . 计算机应用的现状与计算机的发展趋势 [J]. 数字通信世界 ,2016(11):70.

[2] 费林 . 浅析计算机硬件日常维护和硬件发展 [J]. 黑龙江科技信息 ,2016(21):184.

[3] 孙军 . 计算机应用的现状与计算机的发展趋势 [J]. 中文信息 ,2017(7):1.

作者简介

陈强（1981-），男，浙江省金华市人。学士学位，现为中国电子科技集团公司第五十二研究所系统集成工程师，研究方向为硬件设计、产品集成。

孙小平（1975-），男，浙江省杭州市人。学士学位，现为中国电子科技集团公司第五十二研究所结构工程师，研究方向为结构设计、产品集成。