

基于 DDS 技术的三相信号源设计分析

陈焱至

四川职业技术学院 四川省遂宁市 629000

摘要: 本文基于直接数字合成 (DDS) 技术, 设计出了一款具有高精度、能够调频且调相的三相信号源。此系统把 FPGA 当作核心控制器, 凭借 DDS 模块来生成三相正弦信号, 再通过对频率控制字以及相位控制字进行改变, 进而达成对信号的频率、相位以及幅度的调节。在硬件设计方面涵盖了 FPGA 的选型、D/A 转换电路以及功率放大电路等这些部分, 以此保证输出信号具有稳定性以及驱动能力。该系统历经了仿真验证以及硬件测试, 其结果显示系统性能稳定, 频率分辨率很高, 相位调节也非常精确, 很适合应用在像电力测量、电机控制等这类需要高精度三相信号的场合。

关键词: DDS; 三相信号源; FPGA

工业自动化以及电力电子技术正快速发展, 对于稳定且可靠的三相信号源的需求正在日益增长。传统的模拟式信号发生器因为存在频率调整范围有限以及谐波失真较大等一些问题, 所以很难去适应当前复杂多变的应用环境。而 DDS 技术凭借其具有卓越的频率分辨率、快速的切换能力以及低噪声特性而崭露头角, 成为构建新型三相信号源的一种理想选择。

1. DDS 技术原理

1.1 DDS 基本结构

DDS 系统是由相位累加器、查找表也就是被称为波形存储器、数模转换器即 DAC 以及低通滤波器共同组成的。在这里面, 相位累加器主要承担着产生不断递增的相位值这样一个任务^[1]。查找表会依据这些相位值而输出相应的幅度样本, 数模转换器则是把数字形式的幅度样本转变为模拟电压, 要经过低通滤波器把高频分量去除掉之后才能够得到平滑的模拟波形输出。正是这样的一种结构致使 DDS 能够在不更改硬件配置的状况下, 仅仅通过对内部参数进行修改就可以达成多种波形的输出。

1.2 工作原理

DDS 的核心关键在于它数字化的这个过程, 它是利用数字的方式来对连续变化的相位角 $\theta(t)$ 进行表示, 并且通过查找表来映射出相对应的幅度 $A(\theta)$ 。具体而言, 在每一个时钟周期当中, 相位累加器会按照预先设定好的步长 $\Delta\phi$ 来给当前的相位值进行增加, 从而形成一个离散化的相位序列也就是 $\{\theta_n\}$ 。当这个序列超出了 0 到 2π 之间的

这个范围的时候, 它就会被自动地截断以保持其周期性^[2]。通过查找表去查询每个 θ_n 所对应的幅度 A_n , 然后送入到 DAC 中进行转换。DAC 所输出的模拟信号一般都会包含大量高于所需频率成分的谐波, 所以就需要使用低通滤波器把这些谐波给滤除掉, 这样才能够获得纯净的目标波形也就是 $f(t) = A \sin(\omega t + \phi)$ 。

2. 三相信号源设计方案

2.1 整体设计思路

当进行基于 DDS 技术的三相信号源设计时, 其中的核心目标就是要达成高精度、稳定性以及灵活性。为了能够实现这一目标, 我们决定选用 FPGA (现场可编程门阵列) 来作为主控单元, 原因在于其可以提供高度定制化的逻辑处理能力, 非常适合应用于实时控制系统。整个系统的架构主要是围绕着三个主要的模块来展开:

在 FPGA 内部实现的 DDS 模块, 其主要负责依据设定的参数去计算出在每个时刻相对应的相位和幅度值;

D/A 转换电路, 主要承担将数字信号转换成为模拟波形的任务;

功率放大电路, 主要用于确保输出信号拥有足够的驱动能力以及稳定的电压水平。

考虑到在实际应用过程当中的环境因素, 像温度的变化、电磁的干扰等等, 所以我们在设计里加入了电源管理、过流保护、热敏电阻监测等一系列功能, 目的是为了提升系统的可靠性和安全性。

2.2 硬件电路设计

2.2.1 FPGA 选型

关于 FPGA 的选择, 是从多个维度进行综合考量的, 这些维度包括性能、成本、功耗以及开发支持等。选定了 Xilinx 公司的 Artix-7 系列器件, 其具体型号为 XC7A35T。这个芯片大约拥有 35K 个逻辑单元, 其中内置了用于高效数据处理的 DSP Slice, 而且还支持高达 680Mbps 的 LVDS 接口速率, 这一点就使得它非常适合用于高速数据传输以及复杂算法的实现。更为重要的是, Artix-7 系列提供了极为丰富的 IP 核资源, 像 PLL (锁相环)、DDR 控制器等都包含其中, 这极大地简化了开发的过程。配置有灵活的 I/O 配置选项, 能够很方便地与外部设备进行通信^[9]。从功耗方面来看, Artix-7 采用的是 28nm 工艺进行制造的, 其静态功耗非常低, 这就很适合那些需要长时间连续运行的应用场景。依据官方所提供的数据手册, 当工作频率为 100MHz 时, 其典型功耗仅仅为 0.4W, 采用较小尺寸的散热片或者风扇来让其维持在正常温度范围内进行操作。在开发工具方面, Xilinx 的 Vivado Design Suite 能够提供强大的综合、仿真以及调试功能, 这极大地提升了项目开发的效率。

2.2.2 D/A 转换电路

D/A 转换电路的设计是与输出波形的质量有着直接关系的, 所以我们选择了 ADI 公司推出的 AD9763 芯片, 这是一种具有 16 位分辨率、最高采样率能达到 125MSPS 的高性能 DAC。它的特点表现为线性度好、动态范围宽, 尤其适合用来生成纯净的正弦波。为了确保转换的精度, 在电路设计当中加入了一个 2.5V 的精密参考电压源 ADR4525, 还加入了适当的去耦电容, 其目的是用来抑制高频噪声。根据公式

$$V_{out} = \frac{V_{ref}}{2^n} \times (D+0.5)$$

在这其中, n 所表示的是 DAC 的位数, 而 D 则是输入的数字代码, 通过这样的设定, 我们就能够计算得出满量程输出电压大概是 2.5 伏特。为了能够让信号质量获得更进一步的提升, 我们特意在 DAC 的输出端增添了一个二阶的低通滤波器, 把截止频率设定为 50 千赫兹, 其能够有效将采样过程当中所产生的高频分量给消除掉。如此一来, 不但可以降低谐波失真的情况, 还能够对输出波形的平滑度进行改善, 最终获得的三相正弦波能够更加接近理想的状态。

2.2.3 功率放大电路

功率放大电路的主要功能就是把来自 D/A 转换器的那

种微弱模拟信号进行放大, 直至放大到足以去驱动负载的程度。基于此, 我们选择了 TI 公司的 LM3886 音频功率放大器, 它能够提供高达 68 瓦特的输出功率, 对于大多数工业应用场景都是适用的。LM3886 具有相当高的转换效率, 能够在较大的范围里始终保持稳定的增益特性, 而且还在内部设置了短路保护、过热关断等安全机制, 这极大增强了系统的可靠性。为了让放大效果得以优化, 设计了一套反馈网络, 通过对 R_f 和 R_i 的比例进行调整来实现对增益大小的控制, 依据公式

$$A_v = 1 + \frac{R_f}{R_i}$$

其中 A_v 代表电压增益, 可以根据实际需求灵活调节。考虑到实际使用中的负载阻抗差异, 我们还在输出级增加了匹配变压器, 确保不同类型的负载都能获得最佳的工作条件。为了防止可能出现的过载情况, 我们在输出端串联了一个 1Ω 的限流电阻, 并配合保险丝一起使用, 一旦电流超过预设阈值, 保险丝会立即熔断, 切断电源供应, 从而保护整个电路免受损坏。

2.3 软件算法设计

2.3.1 基于 Verilog HDL 的 DDS 模块实现

在有关基于 DDS 技术的三相信号源的设计当中, 其中一个核心的挑战就是达成高效且精确的数字信号生成。针对此, 选取了 Verilog HDL 这种硬件描述语言来编写 DDS 模块的代码, 旨在充分发挥 FPGA 所具有的并行处理能力以及灵活性。Verilog HDL 准许我们通过模块化编程的形式构建起复杂的逻辑电路, 使得每一个功能单元都能够进行独立的开发以及测试, 这样也就提高了代码的可维护性以及可扩展性。DDS 模块主要是由相位累加器、波形查找表 (Wavetable)、D/A 转换接口等部分所构成。而相位累加器属于 DDS 的核心组件之一, 其承担的任务是依据设定的频率控制字 F_{cw} 来计算出在当前时刻相对应的相位值 ϕ_n 。每当时钟脉冲来临的时候, 累加器会把 F_{cw} 与上一周期的相位值进行相加, 从而获得新的相位值, 并且将其输送至波形查找表中。为了切实保证输出频率的准确性, 我们运用了以下公式

$$\phi_{n+1} = (\phi_n + F_{cw}) \bmod 2^N$$

关于系统中的一些关键要素, 首先要说的是相位累加器的位宽用 N 来表示, 其通常会 32 位或者更高的位宽, 而这一点就决定了整个系统的频率分辨率情况。接下来要提到的是波形查找表, 它其实就是一个只读存储器, 其中

预先存储着正弦波或者其他所需要的波形样本点。将相位累加器输出的相位值当作地址输入到这个查找表中, 就能够获取到相应的幅度值 A_n , 接着再通过 D/A 转换接口输出模拟信号。为了能够实现对三相输出的支持, 我们在查找表里面分别对三个通道的数据进行了设置, 每一个通道之间都保持着 120° 的相位差, 也就是像这样, ϕ_1 等于 0 度, ϕ_2 等于 120 度, ϕ_3 等于 240 度, 如此一来就能够确保输出的三相波形是相互正交的, 也符合标准的要求。另外, 为了能够提升系统的灵活性, 我们还在 DDS 模块当中加入了频率调制以及相位调制的功能, 用户能够通过外部接口去动态地调整 F_{cw} 以及其他的一些参数, 从而达成对输出波形特性的实时控制。

2.3.2 相位控制算法

说到相位控制, 它可是确保三相信号源能够输出稳定且精确的关键环节其中的一个。考虑到在实际应用的时候可能会出现相位漂移以及频率偏差等问题, 我们引入了锁相环技术, 利用其来实现自动的相位校准^[4]。锁相环属于一种反馈控制系统, 其能够通过将参考信号与本地振荡器输出之间的相位差进行比较, 对振荡器频率进行调整, 一直到两者实现同步。在我们的这个设计方案当中, 锁相环主要是用于对 DDS 模块产生的初始相位误差进行补偿, 并且对任何可能发生的漂移进行跟踪, 这样就能保证输出信号的一致性和稳定性。锁相环的基本结构涵盖了鉴相器、环路滤波器以及压控振荡器, 它们共同发挥作用来维持稳定的相位关系。当参考信号和反馈信号进入到鉴相器之后, 鉴相器会输出一个能够代表二者相位差的误差电压 V_e 。这个误差电压经过环路滤波器的平滑处理, 接着会被送入压控振荡器当作控制电压 V_c , 进而改变压控振荡器的输出频率。依据锁相环的工作原理, 用下面这样的公式来表示

$$V_c = K_p \times V_e$$

其中 K_p 是鉴相器的比例系数, 它决定了系统响应速度和稳定性之间的平衡。为了优化 PLL 性能, 我们还实现了自动增益控制 (AGC) 功能, 以维持输出信号幅度的一致性, 即使面对温度变化或供电波动也能保持良好的稳定性。AGC 通过监测输出信号的峰值电平, 并根据预设阈值调整放大倍数, 确保输出幅度始终保持在一个恒定水平。针对三相系统的特点, 我们特别设计了一套相位同步机制, 利用 PLL 来锁定三个通道之间的相对相位关系, 使它们始终维持 120°

的固定间隔。这不仅有助于提高系统的整体精度, 也简化了后续的调试工作。

3. 系统仿真与测试

3.1 仿真实验

依据 Verilog HDL 所设计的 DDS 模块能够在实际的硬件里正确地开展工作, 于是就运用了 ModelSim 这款软件来进行功能仿真。ModelSim 可是在 FPGA 开发中被广泛运用的功能仿真工具, 它对多种 HDL 语言予以支持, 还能提供详尽的波形显示以及调试功能, 这使其极为适合用于复杂逻辑电路的设计验证。在展开仿真的过程当中, 我们首先把系统时钟频率设定成 100MHz , 这属于一个常见的高速时钟频率, 能够保证拥有足够的采样率来生成平滑的正弦波形。接着, 通过对不同的频率控制字 F_{CTRL} 进行设置, 进而去观察相位累加器的输出、波形存储器的读取以及正弦波幅度值的输出状况。

相位累加器属于 DDS 的核心组件其中之一, 其负责依据所设定的频率控制字 F_{CTRL} 计算出在当前时刻所对应的相位值^[5]。每当有时钟脉冲到来的时候, 累加器就会把 F_{CTRL} 与上一个周期的相位值进行相加, 进而获得新的相位值, 然后将其传送到波形存储器。波形存储器是一个预先就存储好了正弦波样本点的 ROM (只读存储器), 相位累加器所输出的相位值会当作地址输入到查找表里面, 以获取对应的幅度值 A_n 。从仿真结果能够看出, 相位累加器能够按照预期持续地对频率控制字进行累加, 生成出正确的相位值。如, 当 F_{CTRL} 等于 1000 的时候, 经过了多次时钟周期之后, 相位累加器的输出稳定地呈现递增的态势, 形成了一个线性的相位序列。波形存储器根据这些相位值准确地读取相应的正弦波幅度值, 所输出的正弦波信号频率与理论计算值相符合, 这也就验证了 DDS 模块的功能正确性。

3.2 硬件测试

在完成仿真实验之后, 我们搭建了一个完整的硬件测试平台, 以评估基于 DDS 技术的三相信号源的实际性能。该平台包括 FPGA 开发板、D/A 转换电路、功率放大电路以及必要的电源管理和接口电路。将所有组件连接起来, 并通过串口通信向 FPGA 发送频率、相位和幅值控制指令, 对三相信号源的输出性能进行全面测试。测试的主要目标是验证系统的频率范围、分辨率、相位差和幅值调节能力。

使用示波器测量输出信号的各项参数, 测试结果表明,

该三相信号源能够输出频率范围为 1 Hz 至 500 kHz 的三相正弦信号, 频率分辨率达到 0.1 Hz, 满足了工业应用中的高精度要求。对于三相信号之间的相位差, 我们特别关注了它们是否保持了 $120^\circ \pm 1^\circ$ 的标准间隔。通过精确的相位测量, 我们发现三个通道之间的相位差非常稳定, 误差控制在 $\pm 1^\circ$ 以内, 这得益于精心设计的相位控制算法和 PLL 同步机制。至于幅值调节方面, 系统可以在 0 V 至 10 V 的范围内连续调节输出电压, 覆盖了大多数应用场景的需求。

4. 结论

基于 DDS 技术设计出了一款高性能的三相信号源。该系统是以 FPGA 作为核心控制芯片, 采用 DDS 模块来生成三相正弦信号, 具有频率、相位以及幅度都可调节的功能, 并且还能够叠加谐波。这个系统经过了仿真与测试, 验证了其稳定性和准确性, 适用于电力测量、电机控制等需要高精

度三相信号的情况。在未来, 还可以进一步对系统设计进行优化, 提升输出信号的精度和稳定性, 拓展其应用范围。

参考文献:

- [1] 董殿国, 侯文. 基于 FPGA 的 DDS 信号发生器设计 [J]. 电子制作, 2023, 31(1):16-18.
- [2] 白曜华, 林海川, 蒋婉姝, 等. 一种多通道 DDS 信号源 :CN202211703881.4[P].CN115933808A[2024-12-24].
- [3] 李欣, 马志刚. 通导一体多址信号干扰源设计 [J]. 电子制作, 2023, 31(16):87-89.
- [4] 沈佳琪. 一种 DDS 信号发生器的设计与验证 [J]. 中国宽带, 2022, 18(9):140-142.
- [5] 付为伟, 黄海波, 冯浩文, 等. 基于 FPGA 的超声波焊接电源信号源设计 [J]. 湖北汽车工业学院学报, 2022(001):036.