

数字电路设计中 EDA 技术的应用探究

刘 亚

江西工程学院电子信息工程学院 江西新余 338000

摘 要: 数字电路设计是现代电子工程的重要基础环节, 而 EDA 技术的应用则为其提供高效、自动化的开发手段, 尤其在 FPGA 设计中展现出显著优势。本文围绕 EDA 技术在数字电路设计中的实践应用展开, 重点探讨规范设计语言、强化时序控制、精简资源结构以及完善仿真机制等优化策略。结合具体设计案例, 分析 EDA 工具在建模、综合、布局以及验证等环节中的支撑作用, 推动 FPGA 电路开发更加高效可靠, 全面提升数字系统性能。

关键词: 数字电路设计; EDA 技术; FPGA; 自动化设计

引言

《“十四五”国家信息化规划》指出, 要加快推进集成电路、关键电子元器件以及 EDA 工具等核心基础技术突破, 构建自主可控的数字技术体系。在该文件指导下, 电子信息领域对高效、精准的数字电路设计工具提出更高要求。尤其在 FPGA 开发与应用方面, 提升设计自动化水平、优化开发流程已成为行业发展的重点方向。在政策推动下, EDA 技术的深度融合与工程落地成为实践中的关键课题。

1 EDA 技术概述

EDA 技术是电子设计自动化技术的简称, 是达到数字电路设计现代化、自动化的重要工具。其核心作用在于借助计算机辅助设计平台, 把传统依赖人工绘图与验证的复杂电路设计流程采取流程化、模块化处理, 从而大幅提高设计效率。在数字电路开发中, EDA 技术涵盖从前期的逻辑功能建模、硬件描述语言设计, 到中期的逻辑综合、分析时序, 再到后期的布局布线、功能仿真及电路测试等多个关键环节。经过各类软件工具协同作用, EDA 技术能够有效管控整个设计流程, 减少设计冗余, 避免逻辑错误, 提升电路运行稳定性与资源利用率。

2 FPGA 数字电路设计流程分析

FPGA 数字电路设计流程是一项系统性较强的技术过程, 通常由多个环节有序构成, 彼此衔接紧密, 缺一不可。整个流程一般从逻辑功能的需求分析与电路建模开始, 利用硬件描述语言对目标功能采取清晰表达, 形成初步的逻辑设计方案。随后进入功能仿真阶段, 验证逻辑描述是否准确, 保证基本功能在理想条件下运行无误。在确认逻辑

正确后, 设计进入综合阶段, 工具会自动把逻辑描述转换为门级结构, 并结合具体器件资源进行优化。接下来是布局布线环节, 系统会根据芯片资源和时序要求采取具体的物理布局, 使逻辑功能得以在目标器件中实现。在此基础上, 还需开展静态时序分析, 评估设计是否满足工作频率与数据稳定性要求, 最终生成配置文件并下载至 FPGA 芯片中, 进入实际测试阶段。

3 基于 EDA 工具的 FPGA 数字电路设计优化策略

3.1 规范设计语言, 提升建模效率

设计语言的准确性与规范性直接关系到 FPGA 数字电路建模阶段的效率, 因此在项目初始阶段尤为关键。采用结构清晰、语义明确的硬件描述语言, 可以在系统设计初期就建立起稳定的逻辑模型基础, 从而为后续开发环节提供有力支撑^[1]。语法的一致性、模块调用的规范性以及命名的系统性, 有利于 EDA 工具识别各项功能模块, 进而减少分析错误与冗余逻辑。与此同时, 在设计过程中保持语言层级划分合理, 能有效分离控制逻辑与数据通路, 便于后期调试。此外, 良好的代码风格还可提升模块的复用率, 降低重复劳动成本, 使整个设计过程更加高效清晰。

以 Verilog 语言为例, 设计者在建立一个八位计数器模块时, 应采用清晰的结构划分方式, 合理安排输入输出端口, 明确时钟、复位等控制信号的逻辑关系。设计初期, 先建立统一的命名规则, 例如所有时钟信号统一命名为 clk, 复位信号统一命名为 rst_n, 有助于 EDA 工具在逻辑综合与布局布线阶段准确识别模块功能, 减少模块之间因命名冲突或歧义产生的编译错误。在模块设计中, 代码风格同样不容忽视。

采用缩进统一、注释清晰的风格可提升代码的可读性,便于后期维护与团队协作。例如,在使用 always 块控制状态时,采用 case 语句明确各状态之间的转换逻辑,并在每一状态后添加简洁注释,便于仿真时快速定位逻辑走向。一旦设计完成,利用 EDA 工具 Quartus 或 Vivado 的语法检查或初步综合分析,可以即时发现信号未定义、模块未实例化或敏感列表遗漏等潜在的问题,从而在早期阶段规避功能故障。在后续开展模块互连时,如果前期接口命名规范、结构清晰,会显著降低顶层文件的编写难度,减少模块调用时的接口对接错误。例如,在一个 SPI 通信模块与主控制模块连接时,因两者均遵循统一的命名格式,接口调用变得直接明了,无需反复对照端口定义,有效缩短开发周期。此外,当项目规模扩大、逻辑模块增多时,规范语言结构还能够支持 EDA 工具快速分析项目层级结构,在综合与布局布线时自动优化资源分配,减少不必要的逻辑重复。以一个由多个计数模块组成的定时控制系统为例,若各模块遵循统一格式开发,在调用时可直接作为实例多次复用,大大减少代码量,提高整体设计效率。

3.2 强化时序控制,保障逻辑稳定

在 FPGA 数字电路开发过程中,时序控制的精度直接决定系统逻辑运行的稳定性,因此必须作为核心内容加以重视。EDA 工具平台中的时序分析功能需要准确地设计约束作为依据,随后才能评估各信号路径在实际工作频率下的延迟情况^[2]。为达到预期运行效果,应合理设置时钟频率,同时保持建立时间与保持时间之间的平衡,这是同步逻辑稳定运行的重要前提。倘若在设计中忽略时序细节,可能会导致电路在边沿触发时发生逻辑错误,进一步引发系统运行失常。为有效加强时序优化,设计者应提前规划主次时钟关系,避免资源竞争与信号混叠,从而稳定核心模块之间的数据传递。

以设计一个脉宽调制控制器为例,该模块需要在高频率下精准调节占空比。设计过程中,首先需要在 EDA 工具如 Vivado 中设置主时钟约束,例如指定系统时钟为 50MHz,同时定义时钟周期为 20 纳秒,这样可以使工具在综合与布局布线阶段对所有路径采取严格的时序分析。接着,在逻辑构建中,设计者需划分计数器与比较器之间的组合逻辑,避免形成过长的路径。把部分逻辑提前寄存或拆分为多周期操作,可以有效缩短关键路径,提升时序裕量。在一次测试中,若在 20 纳秒周期内组合逻辑延迟达到 18 纳秒,EDA

工具会提示时序违例。此时,设计者可在关键路径中插入寄存器,或使用流水线技术分散逻辑操作,使每级逻辑延迟降低至 10 纳秒以内,成功满足时序要求。另一个关键策略是处理多时钟域数据交互。在一个包含 ADC 采集与 DMA 传输的系统中,ADC 模块工作在 80MHz 采样时钟下,DMA 模块则使用 100MHz 系统时钟。由于存在跨时钟域传输,必须添加双触发器同步结构或异步 FIFO,以防止数据亚稳态或信号丢失。EDA 工具可自动识别跨域路径,并在时序报告中标注同步风险,提醒设计者优化结构。借助波形仿真工具 ModelSim 分析传输结果,可观察同步信号的边沿是否稳定,验证同步方案是否可靠。最终,该系统在不同模块时钟下能够稳定运行,数据传输准确无误,从而提升整体系统的抗干扰能力与逻辑严谨性。

3.3 精简资源结构,优化器件布局

合理配置与调度 FPGA 内部资源是提升电路设计性能的重要途径,因此在设计初期就应整体统筹。采用 EDA 工具分析结构时,应特别注重精简不必要的逻辑块与控制单元,进而避免因冗余资源导致布线复杂或运行迟缓。与此同时,资源结构精简不仅涵盖逻辑门数量的控制,还涉及查找表、寄存器以及存储单元等硬件资源的合理安排^[3]。此外,合理使用多功能模块代替重复单元,有助于减轻器件负载,进一步提高布局的紧凑程度。在实际布局阶段,EDA 工具依据资源分布与逻辑关系进行器件映射,假如逻辑结构混乱,则容易造成关键模块分布分散,进而增加连线复杂度与信号时延。另一方面,资源使用的高效规划不仅可以降低系统功耗,而且能够显著提高芯片的整体利用率,从而使系统运行更加紧凑。

以一个四通道数据采集模块为例,初始设计中每一路数据分别配置独立的缓冲器、控制器与存储接口,导致逻辑块重复严重,EDA 工具综合报告显示查找表和寄存器利用率接近上限,布局布线阶段因模块分布不合理出现连线拥堵,导致时序不达标。设计者利用 EDA 工具中的资源分析功能,发现多个子模块在同一时钟周期内并未同时工作,便把相同功能的逻辑结构统一,设计成可配置的多路复用模块,利用共享控制逻辑形成不同通道的分时访问。修改后,逻辑单元占用下降 30%,布线资源得到释放,系统频率提升 20%,显著改善设计性能。在图像识别系统开发中,为完成图像窗口滑动处理,设计者构建大量冗余的移位寄存器链。EDA

工具报告显示寄存器使用率极高,且多个模块的功能逻辑类似。优化时,把滑动窗口设计为参数化模块,借助 for 生成语句统一结构,同时把多个独立寄存器串并结合合并为共享缓存区域,避免重复逻辑。经过调整,原本分散在不同区域的逻辑模块被 EDA 工具重新布局至相邻位置,连线长度大幅缩短,信号传输稳定,仿真验证中数据输出精度保持不变,系统功耗也随之下降。此外,在串行通信控制器的设计中,状态机与波特率发生器模块初始布置较远,EDA 布局报告提示存在跨区域关键路径。为提升布局紧凑度,设计者采用 EDA 工具提供的区域约束功能,把相关逻辑限定在指定区域内布局,达到逻辑集中、互连优化的效果。最终设计中,关键路径时延减少 15%,有效避免因布局分散引发的时序风险。

3.4 完善仿真机制,提高验证精度

在 FPGA 数字电路开发中,仿真验证是保障功能正确性的关键环节,因此设计流程中应优先构建完整的验证体系。EDA 工具所提供的仿真平台需要与所用设计语言高度兼容,方可精准追踪各类信号变化,增强逻辑判断的有效性^[4]。从整体角度看,完善的仿真机制应涵盖功能仿真、时序仿真以及边界测试等多个方面,从而检验系统在多种运行条件下的稳定表现。在设计初始阶段,建立统一规范的测试平台,并清晰定义输入与输出信号关系,有利于后续比对验证的一致性。进一步优化仿真流程时,应合理设置测试阶段与验证节奏,逐层推进,有效排查潜在的逻辑缺陷。此外,借由波形记录与时序跟踪,可以迅速定位模块间数据交互的异常表现,从而减少反复测试的时间消耗。

以设计一个 UART 串口通信模块为例,该模块包括接收器、发送器、奇偶校验以及状态控制等子模块。设计初期,使用 EDA 工具 ModelSim 搭建仿真平台,编写顶层测试模块,设定时钟信号、复位逻辑或者输入激励,同时对输出信号设置观测点。功能仿真阶段,输入一组标准测试向量,观察输出波形是否与预期一致。在一次测试中,接收模块出现数据位偏移现象,经过分析,发现状态转换判断延迟,调整相关逻辑后重新仿真,波形恢复正常,接收数据与发送数据完全匹配,功能验证顺利通过。在进入时序仿真阶段后,设计者利用 EDA 工具生成门级网表并结合延迟模型进行验证。在另一个 SPI 主控模块的设计中,仿真显示数据输出滞后于时钟上升沿,导致接收端无法正确识别数据。经过调整数据锁

存位置,把数据提前一个时钟周期输出,再次展开仿真验证,时序对齐恢复正常,数据传输正确完成,验证结果达标。为进一步提高仿真完整性,设计中还加入断言机制,在某一数据写入异常时自动中止仿真并记录错误点,方便快速定位问题。在系统集成阶段,为避免测试遗漏,利用 EDA 工具的覆盖率分析功能统计功能路径触发情况。例如在设计一个数字滤波器模块时,初始仿真只验证中间输入值,边界情况未被覆盖。设计者补充极大值和极小值输入,重新仿真后确认滤波输出仍保持稳定,保证模块在全输入范围内运行正常。此外,利用波形比对工具可对比优化前后的逻辑变化,保证在修改结构后功能未被破坏,从而提升验证效率。

4 结束语

综上所述,EDA 技术在 FPGA 数字电路设计中的应用已成为提升设计效率、优化系统性能以及保障功能可靠性的关键手段。未来,随着电路规模的不断扩大或应用场景的日益复杂,EDA 工具会进一步朝着智能化、集成化方向发展。设计者应不断掌握先进工具功能,优化设计策略,推动数字电路设计向更高性能、更高精度甚至更强稳定性迈进,为电子信息工程领域的发展提供坚实技术支撑。

参考文献:

- [1] 李鑫. 数字电路设计中低功耗技术的应用与优化探讨[J]. 鞋类工艺与设计, 2025, 5 (10): 132-134.
- [2] 蔡晓艳, 宋伟中, 彤瑶, 张欣语. 基于数字电路的数字秒表的设计与仿真[J]. 黄河科技学院学报, 2025, 27 (05): 64-71.
- [3] 张熠, 朱震华. 数字电路综合性实验项目的设计与教学实践[J]. 实验室研究与探索, 2025, 44 (01): 191-195.
- [4] 姜亚萍, 韩金玉, 辛志锋. EDA 技术在模拟电子技术课程教学中的应用与实践[J]. 天津职业院校联合学报, 2023, 25 (12): 46-52+65.

作者简介:刘亚(1984—),女,汉族,河南南阳人,硕士,讲师,研究方向为电子信息技术的研究及应用,EDA 技术课程建设与教学改革。

基金项目:省科技项目:编号 171179 名称《光电开关在自动监测系统中设计及实现》;校教改课题:编号 2020-JCJG-27 名称《基于网络教学平台线上+线下混合式教学探索与实现》。