

基于 DDS 原理信号源的 FPGA 实现

王子须 何嘉鹏

兰州大学信息科学与工程学院 甘肃 兰州 730000

【摘要】在电子技术教学与实验中，信号源是重要的基础仪器之一，然而实验室常见的信号源性能较低、体积庞大且功率高，本文基于 DDS 原理和 FPGA 技术，设计实现了一个功能丰富的便携式数字信号源^[1]。该信号源以 AD9767 数模转换器作为信号输出单元，FPGA 作为控制和数据处理核心，旋钮电位器、AD9226 模块、独立按键和 OLED 显示屏作为控制与显示接口。整个信号源仅 5V 直流供电，便携、低功耗、高可扩展性，经测试其输出信号稳定、响应速度快、输出频带范围宽。

【关键词】DDS；数字信号源；FPGA；任意波形发生器

随着现代电子技术的高速发展，在教学和实验场景中有时需要产生多种多样的波形信号，信号测试工作对信号源的灵活性、稳定度有了更高的要求。而传统的信号发生器成本高、功能单一、使用场景受限，早已不能满足现代电子测量的要求，研究高性能、高可扩展性的数字信号源是极为必要的^[2]。

FPGA 器件是一种半定制电路，芯片内具有大量可供用户操作的门电路，在芯片设计中常用 FPGA 器件进行功能仿真，其灵活高效、高集成度的特性能有效地实现 DDS（直接数字频率合成技术）^[3]。本文所述信号源利用 Mif Maker 和 C 程序生成波形数据并存储在芯片中，利用 DDS 技术和 D/A 转换技术输出模拟信号，在一定误差范围内实现任意波形发生器功能。

1 总体架构设计

信号源由控制和处理核心 FPGA 开发板、4 颗独立按键、旋钮电位器、ADC/DAC 和 OLED（Organic Light-Emitting Diode）显示屏组成，总体工作分为硬件设计和软件设计。硬件设计包括根据模块特性采用适当的连线方式，选择高效的通信协议并根据器件时序特性设计驱动等；软件设计主要是编程生成波形数据文件，实现 FPGA 的控制、显示以及波形输出功能。

2 硬件电路设计

本文设计的信号源以 FPGA 作为控制和处理核心，外接多种转换与控制模块，硬件结构如图 1 所示。

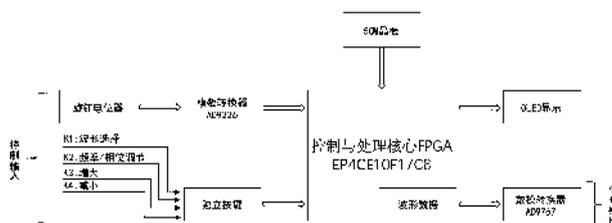


图 1 硬件结构图

在信号源使用前，使用者首先通过 Mif Maker 软件或编程生成需要的信号波形数据文件并使用上位机下载到 FPGA 中，上电后使用者通过按键和 OLED 屏幕提示选择需要输出的波形及其频率区间，再通过旋转旋钮电位器对信号频率进行微调，双通道 ADC 模块自带幅度调节旋钮用于控制输出信号电压的大小。

2.1 控制输入电路

2.1.1 功能控制电路

采用 4 颗独立按键作为信号源的功能控制按键，按键按下则向 FPGA 输入低电平 0，反之输入高电平 1，按键电路如图 2。由于机械按键具有一定的抖动噪声，需要在软件设计中加入软件消抖算法。

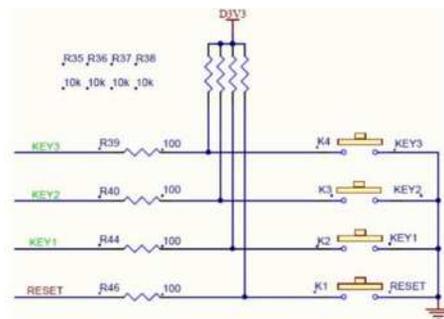


图 2 独立按键电路

3.1.1 DDS 原理与程序实现

DDS 直接数字频率合成技术通常被视为第三代频率合成技术，常用于做现代数字信号发生器的研究。它从“相位”的概念出发进行频率合成，这种方法不仅可以产生不同频率的正弦波，而且可以控制波形的初始相位，还可以用 DDS 技术产生任意波形^[7]。

本信号源结合 DDS 技术，设计了图 6 所示的功能原理框图。主要功能模块包括按键和电位器采样输入控制信号；FPGA 核心对控制信号进行解析并运算得到频率控制字和相位控制字；由控制字经 DDS 算法运算得到 ROM 地址，将波形数据读取并经 D/A 转换后输出模拟信号。

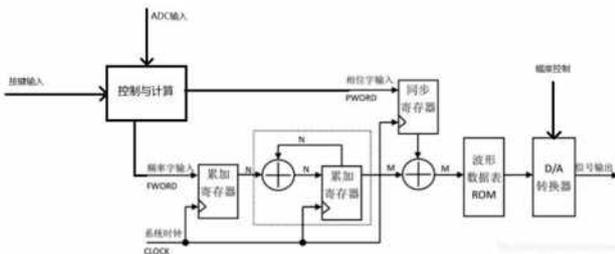


图 6 功能原理框图

在系统时钟的同步驱动下，N 位的频率控制字逐渐累加并附加上作为偏移量的相位控制字，共同作为数据地址查找出幅值数据，完成相位到幅值的转换。使用者仅通过控制 FWORD 和 PWORD 即可调节输出信号的频率，输出频率公式为

$$f_{out} = \frac{f_{CLOCK}}{2^N} \times FWORD$$

基于上述原理，设计 Verilog HDL 程序如图 7 所示。

```
/*-----相位累加器-----*/  
always @(posedge Clk)  
    Fre_acc <= Fre_acc + Fword;  
/*-----生成查找表地址-----*/  
always @(posedge Clk)  
    Rom_Addr <= Fre_acc[31:18] + Pword;  
/*-----例化查找表ROM-----*/  
sine_ddsrom ddsrom_sine(  
    .address(Rom_Addr[13:2]),  
    .clock(Clk),  
    .q(Wave_Data_sine)  
);
```

图 7 DDS 程序实现

3.1.2 OLED 显示器驱动程序

本信号源使用的 OLED 显示器遵循 SPI 通信协议。SPI 串行外设接口，是一种高速、全双工、同步通信总线，具有通信速率高、距离远和抗干扰能力强等优点。采用 SPI 通信方式能够节约芯片管脚，正是出于这种简单易用的特性，越来越多的芯片集成了这种通信协议^[8]。

根据 SPI 通信协议的时序规则设计时序电路驱动程序，由于 OLED 屏幕由 128*64 个像素点组成，为了显示字符需要事先在程序中定义字符库，再通过索引输出要显示字符的像素排列数据，字符库定义格式如图 8 所示。

```
mem[0]= {8'h00, 8'h3E, 8'h51, 8'h49, 8'h45, 8'h3E}; // 16 0  
mem[1]= {8'h00, 8'h00, 8'h42, 8'h7F, 8'h40, 8'h00}; // 17 1  
mem[2]= {8'h00, 8'h42, 8'h61, 8'h51, 8'h49, 8'h46}; // 18 2
```

图 8 字符库定义格式

3.2 波形数据文件的生成

本信号源在一定误差允许范围内可以输出任意波形的信号，但要求必须提前定义好波形模型，之后便可利用 DDS 技术在此模型上调节频率、相位和幅度。波形数据文件用于 ROM 查找表读取波形幅值，常用 Mif Maker 软件或 C 语言程序来生成。

Mif Maker 软件可通过简单地设置参数来生成波形数据或手绘波形，能够快速、方便地生成实验室常用信号，也支持手绘波形；使用 C 语言编程生成波形数据文件具有更高的自由度，常用于生成复杂波形数据文件，以正弦波为例，在写入文件头信息后按照图 9 所示代码段写入波形数据。

```
for(i = 0; i < DEPTH; i++)  
{  
    s = sin( PI * i * 2 / DEPTH);  
    temp = (int)( (s+1) * pow(2, WIDTH - 1) );  
    fprintf (fp, "%x \t : \t %x;\n", i, temp);  
}
```

图 9 波形数据生成代码段

4 信号源性能与分析

本信号源依托正点原子的 FPGA 开发板平台搭建，整个系统精密小巧、功耗低，适合移动作业，实物图见图 10。



图 10 信号源实物图

使用模拟示波器对本信号源输出信号进行测量，实际效果如图 11 所示。经反复测试多种波形和频率，发现其输出信号清晰稳定、抖动小、毛刺噪声小并且频率

成分纯净, 调节时响应速度快, 具有出色的性能和良好的使用效果。



图 11 使用效果展示

5 结束语

本文基于 DDS 原理和 FPGA 技术分析了一种具有便捷控制接口的低功耗小型数字信号源的设计过程和使用效果, 通过设计波形数据文件并配合多种控制方式, 最终实现了具有优良性能和使用效果的任意波形发生器功能。本信号源成本低、可扩展性强、输出信号丰富, 随着现代电子技术的发展, 其应用需求将越来越强烈、应用范围也将越来越广泛。

【参考文献】

- [1] 施羽暇, 吕威, 李一晨. 基于 DDS 技术的正弦信号发生器设计[J]. 信息技术, 2007(01):14-16.
- [2] 严堃, 李晟. 基于 FPGA 的 DDS 信号发生器[J]. 电子测试, 2020(14):5-6+12.
- [3] 李洪涛. 数字信号处理系统设计[M]. 北京: 国防工业出版社, 2017(01):180.
- [4] 张晨亮, 苏学军, 王成刚, 毕涛. 基于 AD9226 的数据采集板设计与实现[J]. 实验技术与管理, 2017, 34(S1):63-65+69.
- [5] 周福强. 基于 FPGA 的 OLED 驱动设计[D]. 南京: 南京理工大学, 2013.
- [6] 钱虹凌. 基于 EDA 软件 QuartusII 的数字频率计的设计[J]. 内蒙古科技与经济, 2017, (11):90-92. DOI:10.3969/j.issn.1007-6921.2017.11.041.
- [7] 雷立云. 数字式频率合成器的研究与设计[D]. 长沙: 湖南大学, 2007.
- [8] 陆鹏. 一种从机 SPI 通信接口的 FPGA 设计与实现[J]. 信息通信, 2020(03):142-143.