

多维度状态机在数据采集系统中的应用

吴 勇 林 江

玳能科技(杭州)有限公司 杭州 310018

摘要: 总结了1维, 2维和多维状态机的特点, 把多维状态机应用于跨时间域的数据采集系统中, 通过仿真, 可以正确实现预期。

关键词: 数据采集; FPGA; 多维度; 状态机; 时间域

Multi-Dimension State Machine Application in Data Acquisition System

Abstract: Summarize one-dimension, two-dimension and multi-dimension's characteristics, apply multi-dimension state machine to multi-time-region data acquisition system, after simulation, get correct target.

Keywords: data acquisition, FPGA, multi-dimension, state machine, time domain

1. 引言

在现代工业和科研中, 数据采集系统被广泛应用。数据采集系统所采集的对象有数字和模拟两种。这里针对的是数字数据采集系统。FPGA在数字数据采集系统里面有着举足轻重的地位。本文提出的多维度状态机主要是应用于数字数据采集和处理的关键环节。它将有效地读取数字信号并节省FIFO空间, 可以存储更多的采集数据, 有利于更详细数据的协议分析和解读。

有限状态机(FSM: Finite State Machine)分两类: 若输出只和状态有关而与输入无关, 则称为Moore状态机; 输出不仅和状态有关而且和输入也有关系, 则称为Mealy状态机。下表给出了Mealy状态机的基本特性

表1 Mealy状态机

现状	下一个状态	下一个状态	输出
输入	0	1	
State1	State1	State2	0
State2	State2	State3	0
State3	State3	State4	0
State4	State4	State1	1

如果输入的信号是“0”, 那么状态维持原来状态;

如果输入的信号是“1”, 那么状态跳转到下个状态。

用比较形象的图形表示如下:

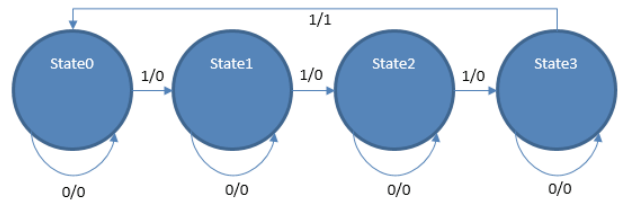


图1 Mealy状态机

“0/0”表示“输入0/输出0”。

2. 1维状态机

在我们设计状态机的过程中, 其实遇到很多各式各样的情况, 而无论是Moore状态机还是Mealy状态机都只是1维状态机, 如同图1所示, 一条直线前进。这种状态机的应用范围十分有限。

3. 2维状态机

2维状态机就应运而生。在2维状态机的世界里, 可以很好浓缩1维状态机。比如说把1维状态机分成检测状态机和判断状态机。举个例子如下, 1维状态机需要有100个状态, 当检测到50个“1”后, 开始检测50个“0”, 直到完成检测, 如图2所示。

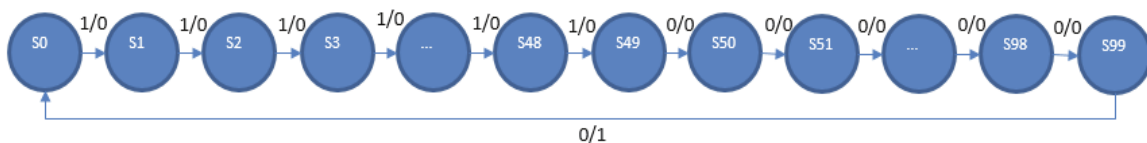


图2 检测50个“1”和50个“0”

如果转化一下这个逻辑，变成2个状态机：检测状态机和跳转状态机，即可以得到如下：

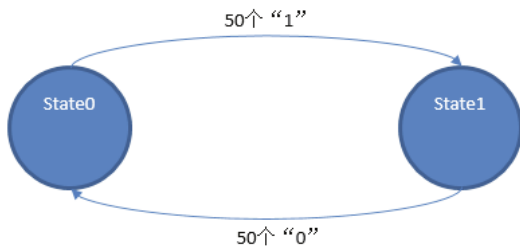


图3 检测状态机0和1与判断状态机

这样的转化，简化的状态个数，易于阅读，实现也是比较容易。检测状态机中State0是检测“0”，并统计个数，state1是检测“1”，并统计个数。跳转状态机是当“0”的个数达到50，从state0跳转到state1，当“1”的个数达到50个，从state1跳转到state0。当然如果检测的种类更多的话，那么检测状态机的个数就相应的变多。这个双状态机只要2个case语句就可以实现。用这个方法可以很好地简化大量状态的状态机。

4. 多维状态机

以上方法只适用于相同时钟的状态机，而在我们进行FPGA设计过程中，会遇到不同时间域的情况。不同的时间域状态不能随时进行跳转，任何状态的交叉都是奔溃的。所以我引入了多维状态机。

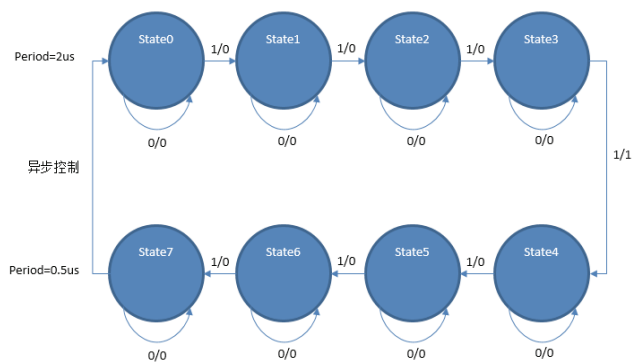


图4 多维状态机

多维状态机的信号传递需要遵守如下原则：

(1) 同步状态的跳转只能是低速的状态向高速的状态转移；

(2) 要想高速的状态向低速的状态转移只能是异步，比方说用异步控制信号 reset 来影响低速的状态。

这个原则是因为低速信号在高速信号面前是不会错过的，但是高速信号在低速信号面前稍纵即逝，无法捕捉，在同步时钟情况下，只能低速信号向高速信号传递信息。图4只是简单的2维状态机，当把1维状态机简化

变成2维状态机，整体就是3维状态机：检测状态机和跳转状态机和跨时间域状态机。

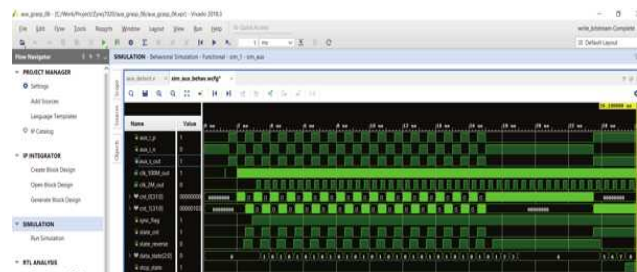
5. 多维状态机的实际用途

DisplayPort，简称DP，是视频电子标准协会（VESA）的数字式视频接口标准。

辅助信号通道AUX CH (p) 和AUX CH (n) (Auxiliary transaction Channel) 是用于协议传输的通道。为了实现DP协议分析，需要对AUX的信号通道进行数据抓取。AUX数据速率是2Mbps，本文采用FPGA (Zynq7010) 来实现AUX信号抓取和协议分析。Zynq7010是Xilinx中Zynq系列相对成本较有优势的芯片，它比其它FPGA有着显著的特点：支持FIFIO，支持RAM，支持SD卡，支持LAN，便于数据采集，数据存储和数据传输。这里使用的系统时钟100MHz，因此一个AUX数据需要50个clk。多维度状态机可以通过Verilog语言实现。

6. 时序仿真

依据实际DP AUX协议编制输入数字信号进行时序仿真，可以得到如下波形。



cnt_0和cnt_1是2维状态机的检测状态机，state_reverse是2维状态机的翻转状态机，data_state[2: 0]是另一个时间域的状态机，构成了3维状态机，第3维是时间维度。通过上述仿真，得到正确的预期。

7. 总结

通过多维度状态机来实现数据采集和分析可以非常有效地减少状态数量，在高速时间域里产生地控制信号可以有效地控制低速时间域的状态机达到不同时间域的状态跳转，映射到同一个时间轴上，相当于在低速状态机内嵌高速状态机，达到较好的不同时间域同步。

参考文献：

[1]何宾 Xilinx FPGA权威设计指南。
 [2]卢有亮 Xilinx FPGA原理与实践—基于Vivado和Verilog HDL，2018。
 [3]何宾，张艳辉 Xilinx FPGA数字信号处理系统设计指南—从HDL，Simulink和HLS的实现，2019。