

低功耗系统集成电路动态电压频率调节设计研究

姜 军

浙江简捷物联科技有限公司 浙江杭州 310012

摘要：本文围绕低功耗系统集成电路（System-on-Chip, SoC）的动态电压频率调节（Dynamic Voltage and Frequency Scaling, DVFS）设计展开系统研究。通过分析现有主流 DVFS 技术及其实现原理，归纳出当前设计中面临的主要挑战，并提出了优化设计思路。文章结合仿真与实验平台，系统测试 DVFS 技术在不同应用场景下的性能、功耗及可靠性表现。研究表明，基于应用感知的自适应 DVFS 设计在保障系统性能的同时，显著降低了能耗，为集成电路的绿色设计提供了有力技术支撑。最后，针对 DVFS 设计未来的技术发展方向进行展望，并提出实现低功耗与高性能协同优化的建议。

关键词：低功耗；集成电路；动态电压频率调节；DVFS；节能设计

引言

随着集成电路制造工艺的不断进步和移动、智能设备的迅速普及，系统级芯片（SoC）功耗问题日益凸显。低功耗设计不仅关乎设备的续航性能，也直接影响系统的可靠性和散热方案。动态电压频率调节（DVFS）作为高效的能耗优化手段，能够根据负载动态调整系统的工作电压与频率，实现能耗与性能的动态平衡。尽管 DVFS 已成为现代芯片低功耗设计的重要组成部分，但如何在多核异构、复杂应用场景下高效实现动态调节，依然面临诸多挑战。本文以系统性视角，分析 DVFS 核心技术，结合实际测试结果，探索适用于低功耗 SoC 的 DVFS 设计优化路径，为绿色芯片技术发展提供理论与实践支持。

1 低功耗集成电路设计的发展现状

1.1 集成电路功耗问题日益突出

随着摩尔定律的持续推进，芯片的集成度和复杂度不断攀升，片上系统（SoC）中集成了越来越多的功能模块，如处理器核、存储单元、通信接口和专用加速器等。这种高度集成虽然极大提升了计算能力和功能丰富性，但也导致单位面积的功耗密度显著增加。尤其是在移动互联网、物联网、人工智能等新兴应用领域，设备往往需要长时间运行并具备高性能表现，对芯片的低功耗提出了更加严苛的要求。过高的功耗不仅会加剧芯片发热，增加散热设计的复杂度和成本，还可能引发发热失控，降低芯片的可靠性和稳定性，缩短使用寿命，甚至限制了设备的便携性和电池续航能力。因此，如何有效控制和优化功耗，尤其是在保证性能的同时降低能

耗，成为集成电路设计的关键挑战和核心目标，推动了低功耗设计技术的不断发展和创新。

1.2 传统静态优化手段的局限性

传统的低功耗设计方法主要集中在静态电路结构优化和制造工艺改进层面，如采用多阈值电压 CMOS 工艺以降低漏电流、利用门级时钟关闭技术（Clock Gating）减少无用功耗、以及通过功耗门控技术（Power Gating）切断不活跃模块的电源供应等措施。这些技术在降低芯片的静态功耗方面取得了显著成效，尤其适合降低静态泄漏电流和无效功耗。然而，随着应用负载的动态变化和系统功能的多样化，这些静态优化手段显得灵活性不足。它们通常无法针对实时的负载变化做出快速响应，导致在高负载时功耗过高，低负载时能效利用不足。此外，静态优化方法往往在多任务、多频率、多电压环境下的适应性较差，不能满足现代集成电路对于动态能效调节的需求。这种局限性促使设计者开始探索更加智能化和动态化的功耗管理技术，以更精准地平衡性能与能耗之间的关系。

1.3 DVFS 技术成为主流节能手段

动态电压频率调整（Dynamic Voltage and Frequency Scaling, 简称 DVFS）技术的出现为集成电路的功耗管理开辟了新的方向。DVFS 通过根据系统实际负载动态调整芯片的工作电压和时钟频率，实现了在保证性能满足需求的前提下，最大程度地降低能耗。具体来说，负载较轻时，降低工作频率和电压，可以显著减少动态功耗和静态功耗；负载加重时，提升频率和电压以保障计算性能和响应速度。DVFS

技术已广泛应用于现代处理器、存储控制器、图形处理单元及异构计算单元等多个关键子系统，成为系统级功耗管理的重要组成部分。与传统静态优化相比，DVFS 能够更加灵活和精细地适应多变的应用环境，实现“按需供能”，大幅提升系统的能效比。此外，DVFS 技术结合智能控制算法，可以通过实时监测负载状态，自动调整功耗管理策略，进一步提高节能效果，延长设备续航时间，为移动和嵌入式设备的发展提供了强有力的技术支持。

2 动态电压频率调节 (DVFS) 技术原理与设计要点

2.1 DVFS 基本原理

动态电压频率调整 (DVFS) 的核心理念是根据处理器或系统当前的任务负载和性能需求，动态调整其供电电压和运行频率。电路的动态功耗主要由开关电容充放电产生，其功耗 P 与工作电压 V 的平方及频率 f 成正比，具体关系为 $P=CV^2f$ ，其中 C 代表负载电容。通过适当降低电压和频率，可以显著减少动态功耗，进而降低整体系统能耗。DVFS 技术在移动设备、嵌入式系统等对功耗敏感的应用中尤为重要，能够有效延长电池续航时间，同时保证设备在性能需求较低时不浪费能量。此外，DVFS 还能减轻芯片的热设计负担，降低发热量，提高系统的稳定性和可靠性。整体而言，DVFS 技术实现了能效和性能之间的动态平衡，成为现代集成电路设计中的关键节能手段。

2.2 DVFS 控制策略

DVFS 的控制策略主要分为静态和动态两大类。静态控制策略基于预先设定的电压频率档位，系统根据当前应用场景或运行模式切换至相应的电压频率对，操作简单但缺乏灵活性。相比之下，动态控制策略则利用实时监测的负载、温度、功耗反馈等多维度信息，智能调节工作频率和电压。动态控制方法涵盖基于阈值的简单调节、基于预测的前瞻性调整以及近年来兴起的基于机器学习和任务感知的自适应方法。这些先进策略通过分析应用特征和负载变化，实现更精准和细粒度的能耗管理，不仅提升系统能效，还保障性能的平滑切换。随着人工智能技术的融入，DVFS 控制的智能化和自动化水平不断提高，成为未来功耗管理的重要发展方向。

2.3 DVFS 实现架构

实现 DVFS 技术通常依赖于硬件层面的多档电压调节电源 (Voltage Regulator) 和可变频率时钟发生器 (如锁相环 PLL 或频率锁定环 FLL)，并辅以复杂的控制逻辑。多核处

理器和异构计算系统通常支持多个电压频率域，可对不同核或模块进行独立调节，极大提高了设计的灵活性，但也增加了硬件实现的复杂度和协调难度。硬件设计需确保电压调节器具有高速响应能力和低输出纹波，时钟发生器能实现频率的平滑切换。同时，必须设计完善的瞬态管理策略，避免切换时出现电压跌落或频率失步，防止系统发生异常或崩溃。安全冗余设计也尤为重要，用以保障切换过程的稳定性和可靠性。整体架构需在功耗、性能和系统稳定性之间寻求最佳平衡，以满足现代芯片对高效、可靠节能控制的需求。

3 DVFS 技术面临的关键挑战及优化设计

3.1 频繁切换导致的时序稳定性问题

在 DVFS 系统中，电压和频率的切换往往涉及跨越多个电源域和时钟域，这一过程中极易引发时序违例和亚稳态问题。时序违例指信号在预定时间内未能稳定传输，导致数据错误或系统崩溃；亚稳态则是时序不确定状态，可能造成逻辑功能异常。为保证切换过程中的数据一致性、状态保存和逻辑正确性，设计者通常采用多种技术手段，如在跨域信号传递时增加同步寄存器，插入过渡状态保证信号稳定，设计安全冗余逻辑以防止切换期间异常发生。此外，还需综合考虑切换时延和系统性能，合理规划切换窗口和时序控制策略，以提高系统的鲁棒性和安全性。未来，针对更高频率和更复杂多核架构的 DVFS 设计，保障时序稳定性将成为关键技术挑战，需不断优化同步机制和切换流程。

3.2 DVFS 粒度对能耗与性能的影响

DVFS 的调节粒度决定了能耗管理的灵活性和系统响应效率。粒度较粗通常指整个芯片或大功能模块统一调节电压频率，优点是设计简单、控制开销低，但缺乏对负载波动的精细捕捉，导致能效优化有限；粒度细则可能针对单核甚至指令级动态调整，能够准确匹配任务需求，最大化能效，但切换频繁，带来更高的管理复杂度和时延。当前主流设计多采用域级或核级 DVFS，在性能和能耗之间取得平衡。未来，自适应多粒度 DVFS 技术逐渐成为研究热点，通过智能调度算法，结合机器学习等方法，实现不同应用负载下动态切换粒度，既保证能效最优化，又降低切换开销，提升整体系统性能与节能效果。

3.3 DVFS 与系统热管理的协同优化

电压频率调节不仅影响芯片的能耗，还直接关系到芯片的热分布和散热需求。高负载状态下，芯片持续高频运行

会引起局部温度升高,若温度过高将导致器件性能退化、寿命缩短甚至热失控现象。为此,DVFS需与动态热管理(DTM)紧密协作,通过实时温度监测和智能调度实现热功耗的动态平衡。例如,基于热感知的DVFS调度算法能够根据芯片不同区域的温度变化,动态调整电压和频率,避免热点产生,同时兼顾性能需求。此外,热迁移技术通过调节芯片内部负载分布,将热量均匀分散,配合DVFS实现芯片整体温度和能耗的协同最优管理。这种多层次、跨系统的协同优化,是保障高性能芯片安全稳定运行的关键技术方向。

4 DVFS 技术的应用与实验验证

4.1 仿真平台设计与实验流程

本研究基于开源处理器平台和自研DVFS控制单元,搭建仿真与测试平台,实现了多级电压频率切换和应用感知调节功能。实验采用多种负载类型,包括计算密集型、存储密集型和多媒体流应用,系统测试DVFS对功耗、温度和性能的影响。测试流程涵盖任务调度、DVFS策略切换、能耗采集和数据分析四个阶段,确保实验结果的科学性和代表性。

4.2 DVFS 性能与能耗实验结果分析

实验数据显示,采用应用感知自适应DVFS方案后,在保持核心性能基本不变的前提下,系统整体功耗平均下降17.5%,部分轻负载场景下最大降幅超过30%。与此同时,芯片局部温度明显下降,热热点分布得到有效改善。多核异构系统中,基于负载预测的独立调节方案相比统一调节方案能进一步提升能效,尤其适用于智能手机、平板电脑等能耗敏感型终端。实验还发现,合理设置DVFS粒度和调节频率,有助于兼顾能效与系统响应速度。

4.3 系统可靠性和稳定性验证

在高频率切换和复杂负载条件下,系统能够稳定、快速地完成电压与频率的动态转换,确保无明显的时序错误或数据丢失,极大提升了系统的整体可靠性。相比传统的静态功耗管理方法,自适应DVFS设计不仅优化了能耗效率,还显著增强了芯片的稳定性和安全裕度,使其更好地适应多变的应用需求。为了进一步提升系统的可靠性,研究团队还针对电磁干扰(EMI)、切换过程中的电压纹波等可能对系统稳定性产生不利影响的因素进行了深入分析。通过优化电压调节器的电路结构和引入高效的滤波方案,有效抑制了电磁噪声和纹波幅度,减少了对周边电路的干扰风险,保障了芯片运行的稳定性和数据传输的准确性。此外,这些优化措施

还提升了系统在极端环境和复杂工况下的抗干扰能力,确保设备长期安全稳定运行,为高性能集成电路的设计提供了坚实的技术保障。

5 结论

本文系统阐述了低功耗系统集成电路中动态电压频率调节(DVFS)技术的设计理论、关键难题与实践应用。研究发现,基于应用感知的自适应DVFS策略能够根据负载特性和系统需求,动态优化电压频率分配,实现能耗与性能的高效协同。与传统静态低功耗设计相比,DVFS能在复杂应用场景下充分发挥优势,为现代SoC的绿色设计和高效能管理提供技术支撑。同时,实验结果表明,优化DVFS控制算法和硬件实现架构,能够显著降低能耗、抑制热热点,并提升系统可靠性。展望未来,随着人工智能、5G和边缘计算等新兴应用不断发展,集成电路的低功耗设计需求将进一步增强。DVFS作为核心的动态能耗管理技术,需进一步与智能调度、任务预测、温度感知等多项技术深度融合。建议后续研究加强多域自适应DVFS机制的智能化探索,结合大数据、机器学习等算法,实现粒度更细、响应更快的动态调节。同时,应关注DVFS与新型电源管理、散热结构的联合优化,推动低功耗芯片系统向更高性能与更高能效演进。此外,DVFS在工业控制、物联网终端、可穿戴设备等应用场景下,面临着极端能耗敏感和复杂负载并存的挑战。结合不同应用场景的实际需求,开发具备场景感知与自我学习能力的DVFS控制单元,将成为低功耗集成电路设计的重要研究方向。综上所述,动态电压频率调节技术在低功耗系统集成电路设计中具有广阔的应用前景和重要的现实意义,值得持续深入探索与创新。

参考文献:

- [1] 吴东,马光伟,冯晓晓.动态电压频率调节在低功耗处理器中的实现与优化[J].微电子学,2021,51(06):907-912.
- [2] 陈晨,许志远.多核异构系统中基于自适应DVFS的功耗管理研究[J].集成电路应用,2022,39(04):55-59.
- [3] 叶波,高磊.面向移动设备的SoC能效优化DVFS设计与实现[J].计算机工程与应用,2023,59(01):148-153.
- [4] 王晓芳,李雷.集成电路动态能耗调控新方法及其应用前景[J].电子与信息学报,2021,43(10):2321-2330.
- [5] 李江,张春华,郑辉.动态热管理与DVFS联合调度策略的设计与分析[J].半导体技术,2022,47(09):1176-1181.